

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

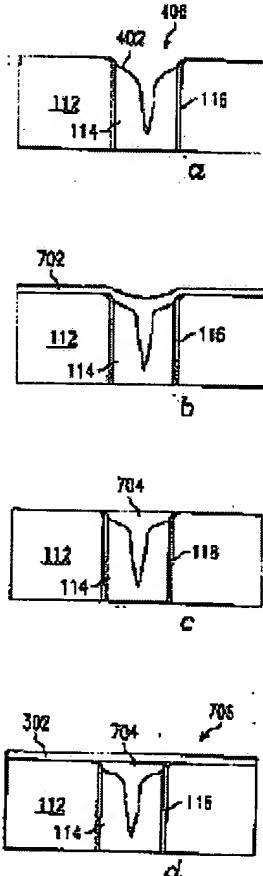
METHOD OF REINFORCING ADHESION OF CONDUCTIVE BARRIER LAYER TO CONDUCTIVE PLUG AND CONTACT IN LOWER LAYER IN SEMICONDUCTOR DEVICE

Patent number: JP2001217400
Publication date: 2001-08-10
Inventor: STEVEN R GILBERT; SUMMERFELT SCOTT R; LUIGI COLOMBO
Applicant: TEXAS INSTR INC ; AGILENT TECHNOLOGIES INC
Classification:
- **international:** H01L27/105
- **european:**
Application number: JP20000391460 20001222
Priority number(s):

Abstract of JP2001217400

PROBLEM TO BE SOLVED: To provide a method of forming a conductive barrier layer on a dielectric layer on which a semiconductor device is to be fabricated.

SOLUTION: This method comprises a process of forming the dielectric layer (112 in Figure 7d) which has an upper and a bottom face and an opening extended from the upper face toward the rear face and which includes a conductive plug (704 in Figure 7d) having an upper face nearly flush with the upper face of the dielectric layer, a process of exposing the upper face of the dielectric layer and that of the conductive plug to a gas selected from a group of gases prepared by arbitrarily combining argon, nitrogen, hydrogen, and CH₄, with the gas being contained in a high-temperature atmosphere or plasma, and a process of forming the conductive barrier layer on the upper faces of the dielectric layer and conductive plug after exposing these upper faces to the said gas.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-217400

(P2001-217400A)

(13)公開日 平成13年8月10日 (2001.8.10)

(51)Int.Cl.⁷

識別記号

F I

テ-マコト(参考)

H 01 L 27/105

H 01 L 27/10

4 4 4 B

審査請求 未請求 請求項の数1 O L (全23頁)

(21)出願番号 特願2000-391460(P2000-391460)

(71)出願人 590000879

テキサス インスツルメンツ インコーポ
レイテッド
アメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 13500

(22)出願日 平成12年12月22日 (2000.12.22)

(71)出願人 500581696

アジレント テクノロジーズ インコーポ
レイテッド
アメリカ合衆国、カリフォルニア、パロア
ルト、デイア クリーク ロード 3500

(31)優先権主張番号 171772

(74)代理人 100066692

弁理士 浅村 鮎 (外3名)

(32)優先日 平成11年12月22日 (1999.12.22)

(33)優先権主張国 米国 (U.S.)

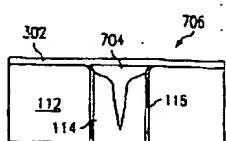
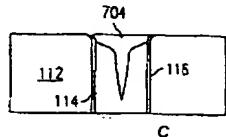
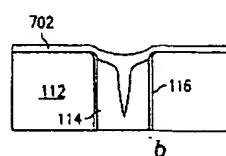
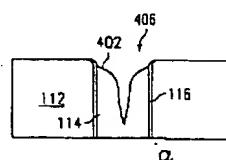
最終頁に続く

(54)【発明の名称】 半導体デバイスにおける下層の導電性プラグ及びコンタクトに対する導電性バリア層の接着を強化する方法

(57)【要約】

【課題】 半導体デバイスを形成する誘電体層上に導電性バリア層を形成する方法を提供する。

【解決手段】 前記方法は、上面と底面と前記上面から前記裏面に延伸する開口とを有する誘電体層(図7dの112)であって、その誘電体層の上面とほぼ同一平面の上面を有する導電性プラグ(図7dの704)を含む前記誘電体層を設ける工程と、アルゴン、窒素、水素、CH₄及びこれらの任意の組み合わせからなるグループから選択されたガスに前記誘電体層の前記上面と前記導電性プラグの前記上面とをさらし、前記ガスは高温の雰囲気又はプラズマ中に含まれる工程と、前記誘電体層及び前記導電性プラグの前記上面をさらす前記工程後に前記誘電体層及び前記導電性プラグの前記上面に前記導電性バリア層を形成する工程とを含む。



【特許請求の範囲】

【請求項1】 誘電体層上に導電性バリア層を形成する方法において、

上面と底面と前記上面から前記裏面に延伸する開口とを有する誘電体層であって、その誘電体層の上面とほぼ同一平面の上面を有する導電性プラグを含む前記誘電体層を設ける工程と、

アルゴン、窒素、水素、 CH_4 、及びこれらの任意の組み合せからなるグループから選択されたガスに前記誘電体層の前記上面と前記導電性プラグの前記上面とをさらし、前記ガスは高温の雰囲気又はプラズマ中に含まれる工程と、

前記高温の雰囲気又は前記プラズマ中に含まれた前記ガスに前記誘電体層の前記上面と前記導電性プラグの前記上面とをさらす前記工程後に、前記誘電体層の前記上面及び前記導電性プラグの前記上面に前記導電性バリア層を形成する工程とを含む方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体デバイスの製作及び処理に関し、特に強誘電性メモリ・デバイスの製作及び処理方法に関する。

【0002】

【従来の技術】今日、半導体デバイスの製造産業及び電子産業には、いくつかの傾向が存在する。デバイスは、絶えず小さくなり、必要とする消費電力もますます小さくなっている。これに対する理由は、非常に小さく、かつ携帯可能な更に多くのパーソナル装置が製作され、従って、小さなバッテリにその唯一の電源として依存する

ことになる。例えば、セルラホン、パーソナル計算装置、及びパーソナル音響装置は、家電市場において需要が大きい装置である。パーソナル装置は、より小さく、かつ更なる可搬性があることに加えて、更なる計算能力及びオン・チップ・メモリを必要としている。これら全ての趨勢に照らして、産業には、同一の半導体チップに集積されたメモリ及びロジック機能を有する計算装置に対する要求が存在する。このメモリは、好ましくは、バッテリを過放電させても、メモリの内容を保持するよう構成されていることである。電力が継続して供給されない間でもその内容を保持するメモリ・デバイスは、不揮発性メモリと呼ばれている。従来の不揮発性メモリの例は、電気的に消去可能なプログラマブル読み出し専用メモリ (EEPROM) 及びFLASH-EPPROMを含む。

【0003】強誘電性メモリ (FeRAM: ferroelectric memory) は、底部電極と上部電極との間に位置するコンデンサの誘電体として、タンタル・ビスマス・ストロンチウム (SBT: strontium bismuth tantalate) 又はタンタル・ジルコニア酸鉛 (PZT: lead zirconate titanate) のような強誘電性材料を使用した不揮発性メモリである。読み出し及び書き込みの両動作は、FeRAMに対して実行される。メモリ・サイズ及びメモリ・アーキテクチャは、FeRAMの読み出し及び書き込みアクセス時間に影響する。表1は、異なるメモリ形式間の差を示している。

【0004】

【表1】

表1

プロパティ	SRAM	フラッシュ	DRAM	FeRAM (Demo)
電圧	>0.5V	読み出し>0.5V 書き込み (12V) (±6V)	>1V	3.3V
特殊トランジスタ	無	有 (高電圧)	有 (低漏洩)	無
書き込み時間	<10 ns	100 ns	<30 ns	60 ns
書き込み疲労	>10 ¹³	<10 ⁹	>10 ¹³	>10 ¹³
リアル・タイム (单一/マルチ・ビット)	<10 ns	<30 ns	<30 ns / <2 ns	60 ns
読み出し疲労	>10 ¹³	>10 ¹³	>10 ¹³	>10 ¹³
埋め込みのために付加した マスク	0	-6-8	-6-8	-3
セル・サイズ (F ~ メタル・ ビッチ/2)	80 F ²	~8 F ²	~8 F ²	~18 F ²
アーキテクチャ	NDRO	NDRO	DRO	DRO
不揮発性	無	有	無	有
メモリ	1	Q	Q	P

【0005】FeRAMの不揮発性メモリは、強誘電性メモリ・セルの二安定特性によっている。2形式のメモリ・セル、即ち單一コンデンサ・メモリ及びデュアル・コンデンサ・メモリ・セルが使用される。單一コンデンサ・メモリ・セル (1T/1Cメモリ・セル) は、必要

とするシリコン面積が少ない(従って、メモリ・アレーの電位密度を増加させる)が、しかし雑音に対する免疫性が劣り、プロセス上のばらつきがある。加えて、1Cセルは、記憶したメモリ状態を決定するために電圧基準を必要とする。デュアル・コンデンサ・メモリ・セル

(2T/2C又は2Cメモリ・セルと呼ばれる)は、シリコン面積を多く必要とし、記憶した情報について異なるサンプリングを可能にするコンプリメンタリ信号を記憶する。2Cメモリ・セルは、1Cメモリ・セルより安定である。

【0006】1T/1C FeRAMセルには、1トランジスタ及び1メモリ・コンデンサが存在する。メモリ・コンデンサの底部電極は、トランジスタのドレインに接続されている。1T/1Cセルは、トランジスタのゲート(ワード線)に信号を印加することにより読み出され、これによってコンデンサの底部電極をトランジスタのソース(ビット線)に接続する。次いで、上部電極のコンタクト(プレート線又はドライブ線)にパルス信号が印加される。従って、トランジスタのビット線上の電位は、ビット線の容量により割り算したコンデンサの充電電圧である。コンデンサの充電電圧は、強誘電性材料の二安定分極状態に従っているので、ビット線の電位は、明確な値を有し得る。センス・アンプは、ビット線に接続され、1又は0の論理値に関連した電圧を検出する。センス・アンプの基準電圧は、しばしば、読み出し中でない他のビット線に接続された強誘電性即ち非強誘電性コンデンサの電圧である。このようして、メモリ・セル・データが読み出される。

【0007】強誘電性メモリの特性は、いくつかのアプリケーションにおいて読み出し動作が破壊的な動作である。メモリ・セルにおけるデータは、読み出し動作を完了した後、メモリ・セルに再び書き戻す必要がある。強誘電性の分極がスイッチすると、読み出し動作は破壊的となり、センスアンプがメモリ・セルから読み出したビットと間違いない分極値を(そのセルに)再書き込みしなければならない。これはDRAMの動作に類似している。ドライブ線電圧が強誘電性メモリをスイッチさせないように十分小さければ、読み出し動作は破壊的にはならない。一般的に、非破壊的読み出しは、破壊的読み出しよりはるかに大きなコンデンサを必要とし、従ってそれだけ大きなセル・サイズが必要となる。

【0008】メモリ・アレーにおける2T/2Cのメモリ・セルは、ビット線(bit line)、及び他の多くのメモリ形式(例えば、スタティック・ランダム・アクセス・メモリ)と共に接続しているビット線の反転(bit line-bar)に接続される。メモリ・ブロックのメモリ・セルは、メモリ行及びメモリ列により形成される。デュアル・コンデンサの強誘電性メモリ・セルは、2個のトランジスタ及び2個のコンデンサを備えている。第1のトランジスタは、ビット線と第1のコンデンサとの間を接続する。第2のトランジスタは、ビット線バーと第2のコンデンサとの間を接続する。第1及び第2のコンデンサは、共通端子即ちプレートを有し、これに対してコンデンサを分極させるための信号が印加される。

【0009】書き込み動作において、デュアル・コンデンサ強誘電性メモリ・セルの第1及び第2のトランジスタは、メモリに記憶する論理状態に対応したビット線及びビット線バーの線上の相補的な論理レベルに、接続可能にされる。コンデンサの共通端子は、書き込み動作中にパルス駆動してデュアル・コンデンサ・メモリ・セルを2論理状態のうちの一つに分極させる。

【0010】読み出し動作において、二重コンデンサ・メモリ・セルの第1及び第2のトランジスタは、第1及び第2のコンデンサに記憶されている情報をビット線及びビット線バーの線に接続できるようにされる。デュアル・コンデンサ・メモリ・セルにより、ビット線とビット線バーの線との間に差動信号が発生する。この差動信号は、センスアンプにより検知され、センスアンプがメモリに記憶されていた論理レベルに対応する信号を供給する。

【0011】

【発明が解決しようとする課題】強誘電性メモリのメモリ・セルは、メモリ・セルが信頼性なしになるまでの有限な数の読み出し動作及び書き込み動作に限定される。FeRAMメモリ上で実行可能とされる動作数は、メモリの耐久性(endurance of a memory)として既知である。この耐久性は、不揮発性メモリを必要とする多くのアプリケーションにおいて重要な要素である。メモリ・サイズ、メモリ速度及び電力消費のような他の要素も、強誘電性メモリがメモリ市場において生き残れるかどうかを判断する際の役割を果たす。

【0012】

【発明を解決するための手段】要するに、本発明は、FeRAMデバイスの製作に関し、このFeRAMデバイスはスタンド・アロン装置か、又は他の多くの装置形式を含む半導体チップに集積される。いくつかの必要条件は、現在存在するか、又は他のデバイス形式を有するFeRAM集積のための必要条件となり得る。このような必要条件は、可能な限り、チップ上に種々のロジック・デバイス及びアナログ・デバイスを製作するために使用される通常のフロント・エンド及びバックエンド処理技術を使用することを含んでおり、このチップにはFeRAMデバイスが含まれる。換言すれば、処理フローを大きく乱す(従って、処理コスト及び複雑さを増加させる)ことがないように、可能な限り(入出力デバイス及び潜在的にアナログ・デバイスに加えて)、このような標準的なロジック・デバイスを製作する処理フローを可能な限り使用して、チップ上にFeRAMデバイスを単に集積することが利益となる。

【0013】以下の説明は、フロント・エンド・モジュール(タングステン・コンタクトの形成で終わるよう)に定義され、タングステンは化学記号Wを有する)と、バックエンド処理モジュール(殆どメタライゼーション)との間に発生するFeRAM処理モジュールに強誘電性

コンデンサを作成する概念に基づいている。更に、FeRAM処理モジュールの他の位置も提案された。例えば、FeRAM処理モジュールがメタライゼーションの第1の層（Metal 1-1）上に配置されるとときは、大きなコンデンサを作成できる利点をもって、ビット線構造上のコンデンサを作成することができる。このアプローチの一つの欠点は、Metal 1-1（基板に最も近いチップ上の第1のメタル層）か、又は局部的な相互接続がFeRAM処理温度（例えば、タングステン用）と両立可能とされる必要があり、又はFeRAM処理温度がスタンダード・メタライゼーション（A1～450°C、Cu及び低い誘電率～400°C）と両立可能となるように低くされる必要があるということである。この立場は、メモリ商品向けにはいくつかの利点があるが、しかし埋め込みメモリ・アプリケーション用にはコスト的な欠点がある。

【0014】FeRAM処理モジュール用に可能な他の位置は、バックエンド・プロセス・フローの終端近傍である。このアプローチの主要な利点は、更に多くの製品ツールからFeRAMモジュールに新しい汚染物質（Pb、Bi、Zr、Ir、Ru又はPt）を保持することである。この解決方法は、第1のFeRAM膜の堆積後に使用された機器がFeRAMデバイス構造の製作に専用されたときに、従って共用されないときに、最も実用的となる。しかしながら、この解決方法は、スタンダード・メタライゼーション構造（以上で説明した示唆限界）と両立可能なFeRAM温度を必要とする欠点がある。加えて、下層のトランジスタに対するFeRAMコンデンサの相互接続、及び他のメタライゼーションの必要性は、最小FeRAMセル・サイズと両立可能でない。

【0015】他の位置に対する必要条件は、多くの同一利害関係があるが、いくつかの必要条件は異なるものとなる。

【0016】FeRAMプロセス・モジュールは、好ましくは、コンデンサの底部コンタクトとしてタングステン・コンタクトの使用を含む標準的な論理及びアナログ・デバイスのフロント・エンド処理フローと両立可能である。更に、FeRAMの熱履歴（thermal budget）は、大抵のロジック・デバイスにより必要とされる（タングステン・プラグ及びシリサイド・ソース・ドレイン及びゲートを含む）低抵抗構造のようなフロント・エンド構造に影響を与えないように、十分に低いことが必要である。加えて、トランジスタ、及びダイオードのような他のフロント・エンド・デバイスは、汚染に敏感である。直接的な（例えば、チップ内の拡散によるもの）、又は間接的な（共用機器を介するクロス・コンタミネーション）FeRAMプロセス・モジュールからの汚染は、トランジスタ及びダイオードの劣化を避けるように対処される必要がある。更に、FeRAMデ

バイス及びプロセス・モジュールもスタンダード・バックエンド・プロセス・フローと両立可能にする必要がある。従って、FeRAMプロセス・モジュールは、メタルとトランジスタとの間でロジック・メタライゼーションの抵抗及び寄生容量の劣化を最小にする必要がある。加えて、FeRAMデバイスは、何らかの変更があれば、最小によるバックエンド・プロセス・フローにより劣化されなければならない。これは、強誘電性コンデンサが水素劣化に敏感であることを示し、かつ大抵のロジック・バックエンド・プロセス・フローが（例えば、SiO₂及びSi₃N₄、CVDタングステン堆積、SiO₂ビア・エッチング、及びフォーミング・ガス・アニールの形成における）多くのプロセスにおいて水素及び/又は重水素を利用しているので、重大な挑戦である。

【0017】更に、FeRAMの商業的な成功は、埋め込みメモリのコストを最小化することが必要である。総メモリ・コストは、主として、セル・サイズ、周辺比サイズ、歩留りの影響、及びメモリに関連した付加的なプロセス・コストに依存している。埋め込み式DRAM及びFLASHのような標準的な埋め込み式メモリに匹敵するビット当たりのコスト効果を得るために、標準的な埋め込み形メモリ技術により得られるものと同様のFeRAMセル・サイズを有することが望ましい。セル・サイズを最小化するために本発明において説明されたいいくつかの方法は、リソグラフィのミスマッチメントに対して余り敏感とならないようにすること、コンタクト上にコンデンサを直接形成すること、及びコンデンサ・スタック・エッチングに対して單一マスクを使用することを含む。この特許で説明したいいくつかの方法は、付加されるプロセス・コストを低減するために、必要とするプロセスの複雑さを軽減させるFeRAMプロセス・モジュール及びプレーナ・コンデンサのために付加的な2つのマスクを必要とするになる。

【0018】本発明はプレーナ・コンデンサを使用することに関するが、多くの同一の概念及び処理を使用することにより、ポスト又はカップ構造を使用した3次元コンデンサを製作することができる。平面構造は簡単な処理を使用して作るのが安価なので、この構造を説明する。最小電荷蓄積を考慮するために必要とする平面コンデンサがセル・サイズに限界をもたらすときは、この3次元コンデンサが好都合である。このような状況において、3D構成に関連してコンデンサ面積を増加すると、より小さな平面セル・サイズを可能にする。DRAMデバイスは、セル面積を減少させるために多年にわたりこのアプローチを使用していた。

【0019】本発明の一実施例は、誘電体層上に導電性バリア層を形成する方法である。前記方法は、上面と底面と前記上面から前記裏面に延伸する開口とを有する誘電体層であって、その誘電体層の上面とほぼ同一平面の上面を有する導電性プラグを含む前記誘電体層を設ける

工程と、アルゴン、窒素、水素、 CH_4 、及びこれらの任意の組み合わせからなるグループから選択されたガスに前記誘電体層の前記上面と前記導電性プラグの前記上面とをさらし、前記ガスは高温の雰囲気又はプラズマ中に含まれる工程と、前記高温の雰囲気又は前記プラズマ中に含まれた前記ガスに前記誘電体層の前記上面と前記導電性プラグの前記上面とをさらす前記工程後に、前記誘電体層の前記上面及び前記導電性プラグの前記上面に前記導電性バリア層を形成する工程とを含む。前記高温は、好ましくは、約500~1000°C、より好ましくは、約600~750°Cである。前記導電性バリア層は、好ましくは、 TiAIN 、 TiSiN 、 TaN 、 TiN 、 CrN 、 CrAlN 、 TaSiN 、 ZrN 、 HfN 、又はそれらの任意の組み合わせ若しくはスタックからなるグループから選択された導体からなり、かつ前記導電性プラグは、タンクステンからなる。前記ガスは、好ましくは、窒素及び水素、又はアルゴン及び水素からなる。前記高温の雰囲気又は前記プラズマ中に含まれた前記ガスに前記誘電体層の前記上面と前記導電性プラグの前記上面とをさらす前記工程は、好ましくは、前記タンクステン・プラグ上に形成されたあらゆる酸化物を除去する。

【0020】図の全般にわたり同様又は同等の構成を表すために同一の参考番号を使用する。これらの図は縮尺に対応して描かれてはいない。これらの図は、単に本発明の方法の作用を説明するために示すものである。

【0021】

【発明の実施の形態】本発明の以下の説明は、一チップ上のディジタル信号プロセッサ、マイクロプロセッサ、スマート・カード、マイクロコンピュータ、マイクロコントローラ又はシステムに見られるロジック・デバイス及び他のデバイスと共にFeRAMデバイスを集積化することに関すると同時に、本発明をスタンド・アロンFeRAMデバイス、又は多くの他のデバイス形式を有する半導体チップに集積したFeRAMデバイスを製作するために使用することができる。特に、標準的な半導体メモリと比較して本発明により改良されたFeRAMデバイスのパフォーマンスは、FeRAMを、低電力及び高度のデバイス集積度を必要とするあらゆる携帯装置用に選択するメモリにするように見える。ここで示す図及びこれらの図に関する説明は、単に説明目的のために提供されている。当該技術分野において通常に習熟する者は、この説明に基づいて、他の実施、図及び以下の説明において示されたデバイス及び構造を製作する方法を実現すると思われる。例えば、浅いトレンチ分離構造(STI)を説明したが、フィールド酸化領域(LOCOS領域としても知られている)又は注入領域のように、従来のどのような分離構造も使用することができる。加えて、構造102は、好ましくは、n型又はp型となるようにドーピングされる単結晶シリコン基板である。

るが、構造102(図1)は、単結晶シリコン基板上にエピタキシャル・シリコン層を製作することにより形成されてもよい。

【0022】図1を参照すると、図1には2つのデバイスが示されている。デバイス103は、本発明のFeRAMセルの部分製作バージョンを表し、またデバイス105は、あらゆる高電圧トランジスタ、低電圧トランジスタ、高速度ロジック・トランジスタ、入出力トランジスタ、アナログトランジスタ、又は他の任意のデバイスを表し、このデバイスは、ディジタル信号プロセッサ、マイクロプロセッサ、マイクロコンピュータ、又は他の任意の半導体デバイスを含めることができる。デバイス103に設けられた特殊なセル構造を除き、デバイス103に使用された構造は、デバイス105のデバイス構造と同一でなければならない(デバイス105にあり得るデバイス形式の相違のために、これらのトランジスタにあり得るいくつかのばらつきを除く)。

【0023】基本的に、ゲート構造106は、ゲート誘電体(好ましくは、二酸化シリコン、窒化酸素(oxy nitride)、窒化シリコン、BST、PZT、ケイ酸塩、そのほかの高k材料、これらの組み合わせ若しくはスタック)、ゲート電極(好ましくは、ケイ化物によりp型又はn型にドーピングされた多結晶シリコンからなり、このケイ化物は、上面に、又はチタン、タンタル、 TaN 若しくは金属のようなメタル上に形成される)、及びサイドウォール絶縁体(好ましくは、酸化物、窒化物、酸窒化、これらの任意の組み合わせ、又はこれらのスタック)を含む。一般的に、属の用語の酸化物、窒化物及び酸窒化は、酸化シリコン及び窒化シリコン、及び酸窒化シリコンを云う。一般的に、用語「酸化物」は、ホウ素及び/又はリン・ドーピングされた酸化シリコンと共に、ドーピングされた酸化物を含む。ソース/ドレイン領域108は、好ましくは、通常のドーパント及び処理条件を使用して注入される。ポケット注入と共に、軽くドーピングされたドレイン・エクステンションを使用することもできる。加えて、ソース/ドレイン領域108は、(好ましくは、チタン、コバルト、ニッケル、タンクステン、又は他の通常のケイ化物により)ケイ化物化されてもよい。

【0024】誘電体層112は、基板及び形成するゲート構造に対するコンタクト用の開口を形成するように、基板の全体にわたり形成され、パターン化され、かつエッチングされる(工程202)。これらの開口は、プラグ114(好ましくは、例えばタンクステン、モリブデン、チタン、窒化チタン、窒化タンタル、ケイ化金属のようなメタルからなり、このケイ化金属は、 Ti 、 Ni 又は Co 、又はドーピングされた多結晶シリコンのようなを含む)。ライナー/バリア層は、プラグ114と誘電体層112との間に形成されても、又はされなくてもよい。ライナー/バリア層116は、図1に示され

ており、好ましくは、Ti、TiN、TaSiN、Ta、Ta_xN、TiSiN、これらのスタック、又は通常的な他のあらゆるライナー／バリア材料からなる。コンタクトは、好ましくは、ソース領域、ドレイン領域及びゲート構造のケイ化領域上に乗るように形成される。

【0025】誘電体層112は、好ましくは、多分、ゲートに隣接する窒化シリコンを含む水素又は重水素層を有し、（ホウ素又はリンのような好ましいドーパントによってドーピングされた、又はドーピングされていない）SiO₂からなる。拡散バリアの堆積後に、この拡散バリアは、化学機械的研磨のような処理を使用して、改良されたリソグラフィーの重なり合う層のために平坦化される可能性がある。加えて、平坦化処理後に堆積されることになるAlO_x、AlN、Si₃N₄、TiO₂、ZrO₂、又はTaO_xのような誘電体層112の上面近傍に、付加された拡散バリア／エッチ・ストップを設けてよい。この拡散バリアは、ダマシン処理を使用してコンタクトに対してビア即ちメタライゼーションを作成するときに、特に有用である。プラグ114の形成は、この任意選択的なバリア／エッチ・ストップを通ってエッチングを必要とする。

【0026】コンタクト上に位置するメタル構造の形成は、バックエンド処理の一部とみなされる。特殊なFeRAM処理モジュール以外のバックエンド処理工程は、半導体産業において標準的なものでなければならない。従って、メタライゼーションは、Al又はCuとなる。好ましくは、Cuがダマシン・アプローチにおいて使用されている間に、Alをエッチングするのが好ましい。しかしながら、更に、ダマシン処理において形成されたCu及びAlをエッチングしてもよい。アルミニウム・メタライゼーションは、好ましくは、CDVタングステン・プラグ又はAlプラグを有し、またAlは、好ましくは、エレクトロマイグレーション抵抗を改善するためにCuドーピングされる。Al用のメタル拡散バリアは、好ましくは、TiN及び／又はTiを含む。銅メタライゼーションは、好ましくは、Ti、TiN、TaSiN、Ta、窒化タンタル及び／又はTiSiN拡散バリアを有するCu又はWプラグを有する。薄い誘電体層（図示なし）は、各レベル間誘電体（ILD）層（誘電体層112、134、及び160）間に形成されてもよい。形成されたのであれ、この薄い層は、好ましくは、窒化シリコン、炭化ケイ素、SiCNO又は酸化シリコン（好ましくは、高密度プラズマ酸化）からなる。加えて、レベル間の誘電体層112、134、及び160は、好ましくは、酸化物、FSG、PSG、BPSG、PETEOS、HDP酸化物、窒化シリコン、酸窒化シリコン、炭化ケイ素、カルボ酸窒化ケイ素、低誘電率材料（好ましくは、SiLK、多孔性SiLK、テフロン（登録商標）、低Kポリマ（多分、多孔性）、エアゾル、キセロゲル、黒ダイヤド、HSQ、又は他の任意の

多孔性ガラス材料）、又はそれらの組み合わせ若しくはスタックからなる。相互接続線及びメタル線は、好ましくは、同一材料からなる。プラグ136及び150と、導電144及び164とは、好ましくは、メタル材料（好ましくは、銅、アルミニウム、チタン、TiN、タンクステン、窒化タンクステン、又はそれらの任意の組み合わせ若しくはスタック）からなる。バリア／ライナーは、プラグとレベル間の誘電体層との間に形成されてもよい。形成されたときは、バリア／ライナー層（層138及び148と、ライナー142、146、162及び166として示されている）は、好ましくは、Ti、TiN、W、窒化タンクステン、Ta、窒化タンタル、通常的なあらゆるバリア／ライナー層、又はそれらの任意の組み合わせ又はスタックからなる。相関誘電体及びプラグ材料は、FeRAMの熱履歴と両立可能でなければならない。既存の技術（即ち、Wプラグ及びSiO₂

ILDに関連するもの）により、FeRAMの熱履歴は、約600又は650°C未満でなければならない。ILDが低誘電率（以下、「低K」という）層を含むように変更されたときは、FeRAMの熱履歴を更に減少させる必要がある。従って、好ましくは、層間の誘電体層112は、（ドーピングされた及び／又はドーピングされていない）酸化シリコン、窒化シリコン、及び／又は酸窒化シリコンのように、600°Cを超える熱履歴に耐えられる材料である。

【0027】レベル127は、FeRAMセル（FeRAM処理モジュール）に適応するように追加される。FeRAM処理モジュールは、強誘電即ち高誘電率のコンデンサの製作が新しい処理モジュールについての最大熱履歴をもって容易に、しかもバックエンド処理の熱履歴に影響させることなく、付加可能にする。特に、このレベルは、高密度のメモリと両立可能なビット線構成下にコンデンサを有したFeRAMデバイスを可能にする。しかしながら、平坦化が必要でないときは、デバイス105に層127を形成していなくとも、FeRAMデバイスを形成することは可能である。従って、FeRAM部103は、領域105より層127の高さだけ高くなる。

【0028】FeRAMのコンデンサ125は、いくつかの層からなる。導電性バリア層122は、プラグ114が後続のコンデンサ誘電体の処理中に保護される必要があるか否かによって、形成されても、形成されなくてもよい。形成されたときは、導電性バリア層122は、好ましくは、TiAlN又は他の複数の可能バリア（そのうちのいくつかは、TiNと比較して遅い酸化速度を有する）からなり、他の複数の可能バリアは、TaSiN、TiSiN、TiN、TaN、HfN、ZrN、HfAlN、CrN、TaAlN、CrAlN又は他の任意の導電材料を含む。この層の厚さは、好ましくは、60nm（0.18μmビアに対して）と同程度である。

将来、ピア・サイズのスケーリングは、同様にバリア厚さのスケーリングも可能にする。これらのバリア層に関する好ましい堆積技術は、Ar+N₂又はAr+NH₃を使用する反応性スパッタ堆積である。Arは、コスト及びパフォーマンスに基づいてスパッタ堆積又は物理的エッティングに使用される標準的な不活性ガスであることに注意すべきである。この文書において説明している処理全般にわたるこれらのアプリケーションに対してArの代わりに、他の不活性ガスを使用することもできる。使用可能とされる他の堆積技術は、化学気相成長法(CVD)又はプラズマ・エンハンスドCVD(PECVD)を含む。窒化物のCVDは、有機金属前駆物質を使用するときは、実際に、特にカルボ酸窒化に帰結し、これは、多くの場合で許容される。好ましいWコンタクトのときに、これは、2層拡散バリアを堆積するのが好ましい。第1に、CVD TiN(40 nmが好ましい)を堆積し、PVD TiAlN(30 nmが好ましい)が続く。更に好ましいのは、TiAlN(~60 nm)のCVD又はPECVD堆積である。TiAlNにおけるアルミニウムの好ましい比率は、約30~60%Alであり、酸化物抵抗を改善するために40~50%がより好ましい。一般的に、良好な拡散バリア(例えば、本発明の一実施例のもの)は、酸素安定底部電極材料をより薄く又はより高い温度を使用可能にする。

【0029】下層のコンタクト構造との電気的な接続を行うために、導電性バリア層122上に又は誘電体層112上に、コンデンサ1-25の底部電極124を直接形成する。好ましくは、底部電極は、厚さ25~100 nm近傍にあり、酸素中で安定であり、かつ貴金属、又はイリジウム、酸化イリジウム、Pt、Pd、PdO、Au、Ru、RuO_x、Rh、RhO_x、LaSrCoO₃、(Ba, Sr)RuO₃、LaNiO₃若しくはこれらの任意のスタック又は組み合わせのような酸化導体からなる。貴金属を使用した電極のときは、コスト及び集積の容易さの観点から、可能な限り薄い相を使用するのが好都合である。PZTコンデンサ用に好ましい底部電極は、50 nm Irか、又は30 nm IrO_x及び20 nm Irからなるスタックであり、これは、好ましくは、Ir(Ar)に対するスパッタ堆積、及び/又はIrO_xに対する反応性スパッタ堆積(Ar+O₂)により堆積される。強誘電性堆積温度が低ければ、それだけ薄い電極を可能にし、好ましいものになる。これらの相に対する好ましい堆積技術は、スパッタ堆積、反応性スパッタ堆積、又は化学気相成長法堆積である。底部電極の応力を制御するために、好ましくは、底部電極の応力を緩和及び/又はマイクロ構造の安定性を改善するために、ポスト底部電極アニールを実行する。典型的なアニール条件は、400~600°Cで酸素ガス又は不活性ガスの混合物中に2~10分間である。このアニールは、底部電極の形成後、好ましくは、ILD160の形成の

前の任意時に実行されてもよい。

【0030】コンデンサ誘電体は、底部電極上に形成される(ステップ208)。コンデンサ誘電体126は、好ましくは、厚さ150 nm(より好ましくは、厚さ100 nm未満、最も好ましくは、厚さ50 nm未満)であり、Pb(Zr, Ti)O₃(PZT-タンタルジルコン酸塩鉛)のような強誘電性材料と、ドナー(Nb, La, Ta)、アクセプタ(Mn, Co, Fe, Ni, Al)及び/又は両方によりドーピングされたPZTと、SrTiO₃、BaTiO₃又はCaTiO₃によりドーピングされ、かつ合金にされたPZTと、タンタル・ビスマス・ストロンチウム(SBT)と、タンタル・ニオブ酸塩ビスマス・ストロンチウム(SBN)若しくはタンタル・ビスマス、タンタル・ビスマス、BaTiO₃、PbTiO₃若しくはBi₂TiO₃のような他のペロブスカイト層と、からなる。PZTは、最も高い分極、及び前述の材料の最も低い処理温度を有するので、コンデンサ誘電体用に最も好ましい選択となる。加えて、好ましいZr/Tiの組成は、良好な強誘電性スイッチング特性(大きく切り換えた分極、及び比較的四角形状のヒステリシス・ループ)を得るために、それぞれ約20/80である。

【0031】ほぼ65/35の代替的なZr/Tiの組成は、コンデンサ特性において均一性を最大化するために好ましいものとなる。あらゆる状況において、約0.05~1%ドナー・ドーパントによりドナー・ドーピングされたPZTを有することが好ましい。ドナー・ドーパントは、ポイント欠陥集中を制御するのを支援することにより、PZTの信頼性を改善する。これらの誘電体のために好ましい堆積技術は、有機金属化学気相成長法(MOCVD)である。MOCVDは、薄膜(即ち厚さ100 nm未満の膜)に特に好ましい。薄いPZTは、集積をより簡単(エッティングする材料がより少ない)、かつより安価(従って、より少ない前駆物質を堆積するために、より少ない材料)にする際に極めて効果的であって、より低い電圧動作(ほぼ同一の強制電界に対してより低い強制電圧)を可能にする。コンデンサ誘電体は、単結晶状態若しくは多結晶状態に堆積され、又は低温でアモルファス相に堆積され、次いでポスト・堆積アニールを使用して結晶化される。これは、一般的に、Bi強誘電性膜に対して行われる。ポスト堆積結晶化アニールは、電極堆積又はポスト・コンデンサ・エッティング・アニールのように、ポスト堆積後に、又は後処理工程後に直ちに実行されてもよい。好ましいMOCVD PZTアプローチは、450~600°C間(より好ましくは、500~550°C間)の温度で堆積された多結晶膜に帰結する。

【0032】上部電極は、コンデンサ誘電体126上に形成される(工程210)。本発明のこの実施例では、上部電極は、層128及び130として示されている。

しかしながら、上部電極は、1層に実施可能とされるに過ぎない。好ましくは、層128は、酸化イリジウム（好ましくは、厚さ100nm未満、より好ましくは、厚さ50nm未満）からなり、層130は、イリジウム（好ましくは、厚さ100nm未満、より好ましくは、厚さ50nm未満）からなる。特に、多くの反対の状態書き込み／読み出し動作による劣化（疲労）を最小化するように、Pbに基づく強誘電体としては、純粋な貴金属よりもIrO_x、RuO_x、RhO_x、PdO_x、PtO_x、AgO_x、(Ba, Sr)RuO₃、LaSrCoO₃、LaNiO₃、YBa₂Cu₃O_{7-x}のような導電性酸化物の上部電極を有するのが好都合である。更に、SBTのようなBiを含む多くの強誘電体は、Pt、Pd、Au、Ag、Ir、Rh及びRuのような貴金属の電極を使用することもでき、かつそのまま良好な疲労特性を保持している。上部電極が酸化物のときは、上面メタル・コンタクトと酸化物との間で低接触抵抗を維持するために、その上に貴金属層を有すると好都合である。例えば、IrO_xと接触しているTiN層は、次の熱処理中に断熱の作用をするTiO₂を形成することができる。Pt、Ru、Pd、又はIrのような高価な貴金属を使用した電極のときは、コスト及び集積の観点から、可能な限り薄い層として使用すると都合がよい。PZT電極のときに、上部電極のスタックは、好ましくは、Ar中でPVDにより、PZTコンデンサ誘電体の上面で反応性のPVDにより堆積された約20nmのIrO_x上に、堆積された約10nmのIrからなる。IrO_xは、比較的に低スパッタ電力、従って、遅い堆積速度（20nm未満が好ましい）により、400°C未満で50%と80%との間のO₂と残留アルゴンとの混合物中で堆積されるのが好ましい。上部電極における応力を制御するためにハードマスクを堆積する前に、上部電極をアニールすることが可能である。例えば、アニールされた電極における応力が引張りとなる一方、スパッタ堆積の電極は、圧縮応力を受けるのが典型的である。

【0033】コンデンサ・スタック全体は、好ましくは、パターン化され、かつ好ましくは、いくつかの層に対して異なるエッチング液を適用して、一度にエッチングされるが（工程214）、しかし、次の層又は複数層を形成する前に、各層又はグループ化した複数層をエッチングすることができる。多数層又は全ての層が同時にエッチングされるときは、好ましくは、ハード・マスク層132がスタック上に形成される（工程212）。好ましくは、ハードマスクは、エッチング処理中はその統合性を保持するように、十分な厚さの材料からなる。このハードマスクは、好ましくは、厚さ約50～500nm（より好ましくは、厚さ約100～300nm、最も好ましくは、約200nm）であり、TiAlN、TiN、Ti、TiO₂、Al、AlO_x、AlN、TiAl、TiAlO_x、Ta、TaO_x、TaN、Cr、Cr

N、CrO_x、Zr、ZrO_x、ZrN、Hf、HfN、HfO_x、酸化シリコン、低E誘電体、又はそれたの任意的なスタック若しくは組み合わせからなる。ハードマスク・スタックの1例は、スパッタ堆積された50nmのTiAlN、又はTiN上に、PECVD堆積された300nmのSiO₂である。ハードマスクの厚さは、種々の材料のエッチング処理及び相対的エッチング速度、エッチングされた層の厚さ、要求されるオバーエッチング量、並びに全ての層のエッチング後に残留している所望ハードマスク厚さにより、制御される。これらの層が薄ければ、それだけ薄いマスクに帰結する。ハードマスクは、コンデンサ・スタックをエッチングした後に除去されても、又はなくともよい。ハードマスク132が除去されないときは、導電材料のハードマスクを形成することが好ましい。しかしながら、非導電性又は半導体材料を使用してもよいが、しかしコンデンサの上部電極との相互接続は、好ましくは、上部電極に直接接続を行うようにこのハードマスクを介して形成される必要がある。

【0034】ハードマスクの堆積は、ハードマスク・プロファイル及び残りのハードマスク厚さを良く制御するために異なる材料の单一又は多重スタックであってもよい。窒化金属ハードマスクに好ましい堆積処理は、Ar+N₂ガスの混合物を使用したスパッタ堆積である。ハードマスクを含む酸化シリコンの好ましい堆積処理は、TEOS PECVDである。

【0035】コンタクト形成後のいくつかの異なる堆積工程を説明した。特に、底部拡散バリア、底部電極、強誘電体、上部電極及びハードマスク。これらの処理工程で使用したデバイスの全て又はほぼ全ての部分は、潜在的に強誘電体の要素により汚染されたとみなす可能性がある。従って、デバイスのこれらの部分は、専用になっていると思われる。ウェーハは、高くなければ、ウェーハの裏側で最大の可能性をもってかなりの汚染がある。ハードマスク堆積後の次の処理工程は、典型的には、リソグラフィーである。このツールを介して裏側の汚染により処理ウェーハがツールを汚し、従って、このツールを介してこれらの裏側のFeRAM汚染により処理されたクリーンなウェーハを汚すに至る。従って、リソグラフィ装置を共用できるようにFeRAMウェーハの裏面を洗浄にして、何らのFeRAM汚染なしに、リソグラフィ装置によりクリーンなウェーハを処理できることが好ましい。ハードマスクがSiO₂のような標準的な材料を含むときは、ハードマスクのこの後者部分を堆積する前に、ウェーハの裏面を洗浄することができる。例えば、ハードマスクがTiAlN上のSiO₂からなるときは、TiAlN堆積処理前、かつSiO₂堆積処理前にウェーハの裏面を洗浄することが好ましい。これは、SiO₂堆積ツールが汚染するのを防止し、従って、共用するのを可能にする。洗浄処理は、裏面の汚染要素及

びこれらの汚染レベルによる。好ましいアプローチ (PVD バリア、ハードマスク、底部電極、上部電極及び MOCVD PZT) を仮定し、MOCVD 处理が縁部を除外しないと仮定して、連続する膜を除き、裏面の Ir が低いレベルとなる。従って、この形式のウェーハ汚染に対して、好ましい裏面ウェーハの洗浄処理は、縁部近傍でウェーハの前側の背部、縁部及び小さな領域をエッチングするウエット・エッチング処理である。このエッチ処理は、ウェーハの裏面に存在する材料 (例えば、これが Si、SiO₂ 又は Si₃N₄ のとき) にいくらか依存している。ウエット・エッチング PZT は、好ましくは、例えば H₂O + HF + HCl 又は H₂O + NH₃F + HCl のように、強力なフッ酸か、又は塩素エッチング薬品とフッ素エッチング薬品との酸混合物を使用して達成される。

【0036】コンデンサ・スタックに対するパターン及びエッチング処理は、1 リソグラフィ工程のみにより実行されることが好ましい。これは、安価であるばかりでなく、1 回以上のリソグラフ工程を使用するときに必要なミスアライメント許容誤差をなくすことにより、セル・サイズをより小さくするのを可能にする。以上述べたように、好ましいアプローチは、多重エッチング処理で 1 ハードマスクを使用することである。より急峻なサイドウォール傾斜、従ってより小さな臨界寸法 (CD) の成長をも達成するために、高いための温度を使用することにより、これらのエッチング処理を変更することができる。一般的に、CD 成長を最小化することは好ましいことであって、これは、エッチング・プロファイルをより急峻に、かつ、又は層をより薄くすることにより、達成可能となる。ハードマスクを利用した本発明の一実施例の低温度エッチング処理は、TiAlN 構造プロファイルが鋭いと同時に、PZT 及び Ir 構造に対して約 7.4 度のサイドウォール傾斜を達成する。Ir 及び PZT のエッチング速度 (低エッチング速度材料) は、約 100 nm/分である。

【0037】エッチング処理は、汚い処理であり、従って、エッチング・ツール及びウェーハの前側、縁部及び裏面には、FeRAM 汚染を有する、又は FeRAM 汚染と共にエッチング残留物がある。そのために、ウェーハの前側を洗浄し、エッチング残留物を化学的に除去し、かつ多分、損傷した PZT の薄い層を除去する必要がある。このポスト・コンデンサ・エッチングの湿式洗浄 (wet clean) は、いくつかのエッチング条件及び化学薬品により、脱イオン水 (DI 水又は DI W) 洗浄 (メガソニックあり又はなしのタンク浸漬に続くスピinn・リーン・ドライ) のように簡単であると思われ、又は清浄度を改善するため若しくはより多くの損傷を除去するために、酸を使用するものでもよい。更に、エッチング処理は、サイドウォールに貴金属のようなエッチング材料をエッチングするのが困難な導電層の再堆

積に帰結し得る。例えば、Ir 底部電極によっては、PZT のサイドウォールに再堆積する可能性があり、これがコンデンサにとて許容できない高い漏洩電流に帰結する。湿式洗浄 (工程 216) は、化学薬品を使用してこのような好ましくない物質を除去するために使用されてもよく、この化学薬品が僅かに強誘電性材料をエッチングし、好ましくない物質を溶液中に保持することになる。ウェーハの裏面及び縁部は、FeRAM 要素の再堆積により著しく汚されている可能性高い。これらは、共用ツールにおいて処理する前に除去されるべきである。

【0038】コンデンサ・エッチングは、修復を要する強誘電体の損傷及び劣化に帰結する。この損傷を修復する一つの方法 (工程 216) は、(発生してしまったかも知れない酸素損失を修復するように) O₂ プラズマを照射することにより、及び、又は酸素を加えるように、及びエッチング処理により発生した損傷面の結晶度を改善するように不活性環境即ち酸化環境において R.T.A 又は電気炉アニールによる方法である。PZT にとって、このアニールは、好ましくは、約 500~650°C (電気炉アニールのときは、時間が好ましくは 15 分~2 時間となる) で、又は 550~700°C (電気炉アニールのときは、時間が好ましくは 10 分~60 秒となる) で実行される。

【0039】コンデンサのサイドウォールは、好ましくは、かなり急勾配である。サイドウォール拡散バリアは、好ましくは、層 134 の形成及び相互接続のエッチング前に、コンデンサ・スタック上に形成される (工程 218)。サイドウォール拡散バリアは、コンデンサを短絡させることなく、相互接続のミスアライメントを許容するので、重要であり、これは、大抵の物質がコンデンサに拡散するのを防止し、かつコンデンサより拡散する物質から残りの構造を保護する。本発明のこの実施例では、サイドウォール拡散バリアが 2 層 (層 118 及び 120) であるが、サイドウォール拡散バリアは、更に多い又は更に少ない層であってもよい。好ましくは、層 118 は、約厚さ 30 nm であり、AlO_x、Ta₂O₅、AlN、TiO₂、ZrO₂、HfO₂ 又はこれらの任意のスタック又は組み合わせからなる。また、層 120 は、窒化シリコン、AlN、又はこれらの任意のスタック又は組み合わせからなる。メタル酸化物又は窒化物 (これは、特に、有機金属前駆物質を使用したときは、カルボ酸窒化であってもよい) を堆積するために好ましい処理は、最小遊離水素 (即ち、H₂ よりも H₂O が形成されるように、十分な酸素) を有する条件の MOCVD である。更に、プラズマ・エンハンスト CVD 又は MOCVD 处理を使用することも可能である。代わって、(酸素に対して) Ar + O₂、又は (酸窒化に対して) Ar + O₂ + N₂ により、反応性スパッタ堆積を使用することもできる。窒化シリコン用の好ましい処理は、CVD 又は PECVD である。低水素処理のときは、処

理ガスは、 SiH_4 及び N_2 でなければならない。ただし、 N_2 の流量は、 SiH_4 の流速よりかなり大きい。無水素PECVD Si_3N_4 堆積処理のときは、 $\text{SiCl}_4 + \text{N}_2$ を使用する必要がある、 SiCl_4 の流量よりはるかに大きい N_2 の流量を有することもまた、都合よいことである。ここで挙げた好ましい実施例において、 SiH_4 層は、コンタクト・エッチング・ストップとして使用される一方、 AlO_x 層は、 Pb 及び H 拡散バリアとして使用される。

【0040】ビア・エッチングをサイドウォール層（例えば、 AlO_x ）上で停止するように、ビア・エッチングを変更できるときは、これはエッチ・ストップとなり、付加的な層（即ち、 Si_3N_4 ）は不要となる。この場合に、サイドウォールの厚さを増加させてもよい。

【0041】代替的なアプローチは、堆積後にサイドウォール材料をエッチバックすることである。このエッチバックは、拡散バリア（複数の拡散バリア）の堆積後に実施されてもよい。好ましい一実施例では、 AlO_x （約40nmが好ましい）を堆積し、続いて塩素を含むエッチング・ガス（例えば、 BCl_3 又は Cl_2 ）を使用したエッチバックをし、続いてPECVDによる Si_3N_4 の堆積（約30nmが好ましい）をする。

【0042】エッチングの損傷がアニールによりまだ修復されていないときは、サイドウォール拡散バリア堆積後にアニールを実行してもよい。PZTのときは、このアニールは、好ましくは、約500~650°C（電気炉アニールのときは、約15分~2時間）又は550~700°C（RTAのときは、約10秒~60秒）実行される。650°Cで1分間のRTAがより好ましい。約500°C未満の最大熱履歴により強誘電体コンデンサ上に直接形成される層間の誘電体層の選択として低K材料を選択したのであれば、このオプションは好ましものとなる。このアニールを酸化又は不活性環境条件で実行することができる。

【0043】 AlO_x 堆積処理の開始時に、ウェーハの前側はフロント・エンドを露出させている。 AlO_x の堆積処理は、（約 10^{10} atoms/cm²である約ケア・アバウト・レベル（care about level）で次のウェーハ状の付加的なFeRAM汚染であると定義される）ツールの汚染に帰結することもあり、ないこともある。FeRAMウェーハ上の AlO_x 堆積処理が汚染に帰結していないときは、このサイドウォール拡散バリアを堆積する前に、ウェーハの裏面を湿式洗浄するのが好ましい。FeRAMウェーハ上の AlO_x 堆積処理が汚染に帰結するときは、この工程後に好ましい裏面洗浄を行うことができる。ウェーハの裏面を洗浄するために使用される湿式の化学薬品は、裏面の汚染が異なった要素濃度レベルを有するものと想定されるので、最初に使用されたものと異なることがある。

【0044】サイドウォール拡散バリア上に層間誘電体

（複数の層間誘電体）を堆積する（工程220）。各レベル間の誘電体層（層112、134及び160）間に薄い誘電体層（図示なし）を形成することができる。形成されると、この薄い層は、好ましくは、窒化ケイ素、炭化ケイ素、（ SiCNO ）又は酸化ケイ素（好ましくは、高密度プラズマ酸化）からなる。加えて、レベル間の誘電体層112、134及び160は、好ましくは、酸化物、FSB、PSG、BPSG、PETEOS、HDP酸化物、窒化ケイ素、酸窒化シリコン、炭化ケイ素、カルボ酸窒化ケイ素、低誘電率材料（好ましくは、SiLK、多孔性SiLK、テフロン、低Kポリマ（多孔性）、アエロゲル、キセロゲル、黒ダイヤド、HSQ、他の任意の多孔性ガラス材料）、又はこれらの組み合わせ又はスタックからなる。第1及び第2のILD（112、134）の熱履歴は、FeRAMモジュールの処理詳細に影響する。第2の層間誘電体（134）の堆積後に、好ましい処理は、後続のリソグラフィ処理に対して表面平坦にするために、好ましくは、CMPを使用して誘電体を平坦化することである。バックエンドのメタライゼーションの選択によって、多数の処理選択が存在する。エッチングされたA1メタライゼーションのときに、一次オプションは、A1又はWビアである。ダマシン・メタライゼーション（A1又はCuが好ましい）のときは、二重ダマシン（同時にビア及び充填されたメタル）又は單一ダマシン・メタライゼーションの前に充填された別個のメタル・ビアの選択が存在する。ビア、及びエッチングされたメタル又は單一のダマシン・メタル（ビア・ファーストと呼ばれる）を使用した全ての処理ルートは、二重ダマシン・アプローチに比較されるFeRAM処理に関して更によく類似している。

【0045】ビア・ファースト（via first）用の処理フローは、以下のようなである。Cuのようなメタライゼーション機構に従って、拡散バリア/エッチ・ストップ（典型的には、炭化ケイ素、窒化ケイ素、酸窒化シリコン、カルボ酸窒化ケイ素）は、ILD上に配置される。次いで、リソグラフィは、パターン化されたレジストを形成するために使用される。更に、コンタクト・エッチング処理は、以下のスタック、即ち、反射防止膜（存在する場合）、エッチ・ストップ（存在する場合）、ILD、次いで、コンデンサ上に重なるサイドウォール拡散バリア（又は複数のサイドウォール拡散バリア）により、エッチングする。異なるエッチング処理（化学薬品及びプラズマ条件）は、（ビアの深さが周辺に比較してコンタクトを超えないというのではなく）、各異なる材料に使用される可能性がある。サイドウォール拡散バリアが AlO_x 上の Si_3N_4 からなる好ましい実施例において、 Si_3N_4 は、ILDエッチングに対するエッチ・ストップとして作用することができる。これは、種々の被エッチング領域間にILD厚さにおける高さ差が存在するゲート・エッチングのようなアプリケーションである。

ションのための標準的なエッチングである。ILDエッチング後に、 Si_3N_4 及び AlO_x （続いて、これは、ビア・ホールにより暴露されている）は、同一又は異なる化学薬品を使用してエッチングされる。一般的に、全てのエッチング工程は、小さなビア領域のためにタイミングが調整される。しかしながら、いくつかのリアル・タイム測定により端点指示（光学的なエミッショナ又はガス相RGA）が好ましい。FeRAM損傷制御のために、底部層のサイドウォール・バリア・エッチング処理を制御することが特に重要である。小さなプラズマ損傷によるプラズマ条件及びオバーエッチング以下による均一なエッチング速度を使用することが好ましい。ビア・エッチング処理後、典型的には、アッシング処理、続いて湿式洗浄及び乾式洗浄によりレジストが除去される。

【0046】ビア・エッチング工程後にアニール処理工（工程222）を実行してエッチング損傷を除去するのが好ましい。PZTコンデンサ誘電体のときに、このアニールは、好ましくは、約500～650°C（電気炉アニールは15分～2時間が好ましい）又は550～700°C（RTAは10秒～60秒が好ましい）により実行される。更に好ましいのは、約650°Cで約1分間のRTA処理である。上部電極拡散バリアを酸化させないように、不活性環境（ N_2 又はAr）においてアニールを行うことも好ましい。このオプションは、中間層誘電体の選択が500°C未満の最大熱履歴を有する低K材料であれば、好ましい。第1及び第2のILD（112/134）の最大熱履歴がこれを不可能とするときは、RTA処理を使用してこのILDにおいて可能な最大熱履歴を使用することが好ましい。

【0047】ビアが形成されると、スタンダード・メタライゼーションを使用して充填されてもよい。典型的なメタライゼーション及び拡散バリアを既に説明したが、Cu、W、Ta窒化物又はTi/TiNのバリアを有し、ドーピングされたAlのメタルを含む。洗浄と堆積との間で何らのバキューム・ブレークなしに、ツールにおいてバリア層及びメタル層の堆積前に、ビアの底を洗浄するために短いプラズマ洗浄（たとえば、Ar、Ar+ N_2 ）を使用することが好ましい。Cuのときは、Ta、 TaN_x 又はTiNバリアを使用し、Cuシード層堆積が続くことが好ましい。これには、電気メッキされた、又は堆積された銅が続く。レベル間誘電体上のCu及びバリアは、好ましくは、CMPにより除去される。Wビアのときは、Ti/TiNバリアを使用し、CVD

Wが続くことが好ましく、余分なタングステンはエッチバック又はCMPにより除去される。Alビアのときは、Ti/TiNバリアに、Al堆積（CVD、リフローによるPVD、又はホットPVD）が続く。ILDの上面のAlがメタル線を形成するために除去、又はパターン化され、かつエッチングされる。

【0048】上部電極及びPZTが導電性ハードマス

ク、かつ／又は拡散バリア、又はサイドウォール拡散バリアにより保護されていないときは、ビア・エッチング・ツール、ポスト・ビア洗浄、アニール・ツール、メタル・プラズマ洗浄、更にはバリア堆積ツールもFeRAM要素により潜在的に汚染されていることがある。このような保護があっても、エッチング・ツールの汚染により大きなオバー・エッチングのような処理誤りを発生する恐れがある。従って、処理制御及び効果的にモニタによって、これらのツールを専用にする代わりに、共用してもよい。判断がこれらのツールを専用すべきであるというのであれば、更に、FeRAM汚染が他の汚染していないツールに広がる如何なる機会もなくするために、ウェーハが最後の専用ツールを去った後に、裏面の湿式洗浄処理を使用するように決定してもよい。

【0049】ここで、二重ダマシン処理フローに関する処理フローを説明する。ここで説明するフローは、ビア・ファースト・フローであるが、しかし多くの強誘電体の固有特性は、他の処理フロー・ルートにも適合する。Cuのようなメタライゼーション機構に従い、拡散バリア／エッチ・ストップ（好ましくは、炭化ケイ素、窒化ケイ素、酸窒化シリコン、カルボ酸窒化ケイ素からなる）をILD上に堆積する。その後、以上で説明した選択のうちの1つを使用して第2の中間層誘電体（IMD又はILD）を堆積する（これには、しばしば、他の拡散バリア／エッチ・ストップが続く）。次いで、リソグラフィを使用して複数のビアをパターン化する。次いで、以上で説明したと同一の手順を使用してこれらのビアをエッチングするが、今度は、サイドウォール拡散バリアに達するまでに、潜在的に多数の誘電体層が存在する。加えて、二重ダマシン・アプローチに対して第1の（深い）ビアのアスペクト比は、単なる1ビアによるよりも大きい。レジストのアッシング、ビア・エッチング及び洗浄後に、第1のビアをレジストにより充填し、かつメタル・パターン用のリソグラフィを実行する。上面誘電体にメタル・パターンをエッチングし、かつエッチング処理中は、又はエッチ・ストップによりその深さを制御する。次いで、レジストを除去し、かつ湿式洗浄によりエッチング・デブリを除去する。

【0050】次の工程は、後エッチング修復アニールを実行することであり、ここで、熱履歴は、更なる誘電体層により制限される。PZTからなるコンデンサ誘電体のときに、このアニールは、好ましくは、約500～650°C（約15分～2時間の電気炉アニールのとき）、又は550～700°C（約10秒～1分間のRTA処理のとき）である。更に好ましいのは、約650°Cで約1分間のRTA処理である。更に、上部電極拡散バリアを酸化させないように、不活性環境（ N_2 又はAr）においてアニールを実行することが好ましい。中間層誘電体の選択が500°C未満の最大熱履歴を有する低K材料でおろならば、このオプションは好ましいものとなる。I

LDの最大熱履歴がこれを不可能とするときは、RTA処理を使用してこのILDにおいて可能な最大熱履歴を使用することが好ましい。

【0051】次の工程は、ビア及びメタル線に関する陥凹を同時に充填するためにバリア及びメタルを堆積することである。ダマシン処理を除き、典型的なメタライゼーション及び拡散バリアを既に説明したが、これらは、Ta、 Ta_2N 、又はTi/TiNのバリアを有するCu、W及びドーピングされたAlを含む。洗浄と堆積との間にバキューム・ブレークなしに、ツールにおいてバリア膜及びメタル膜を堆積する前に、短いプラズマ洗浄（例えば、Ar、Ar+N₂）を使用してビアの底を洗浄することが好ましい。

【0052】二重ダマシン・アプローチによる汚染発生は、ビア・ファースト・アプローチのものに類似している。

【0053】相互接続136は、上部電極に対する電気的な接続を行うように形成されている。この相互接続は、導体144に接続され、導体144は、好ましくは、ドライブ線140に接続される。ドライブ線140は、好ましくは、デバイスの動作中に約1.2ボルトの電位を設定し、使用する論理技術世代によりその電圧をスケール設定する。

【0054】本発明の一実施例の以下の説明は、図2に示した処理フローおよび図3a～図3cに示したメモリ・デバイス103の断面図について行う。図1と同一の参照番号により示された図3a～図3cにおける要素は、同一または同様の要素を表す。

【0055】図3aおよび図2の処理工程202を参照すると、誘電体層112が標準的な半導体プロセス技術を使用して形成され、また（必要ならば）平坦化される。フォトレジスト層（図示なし）を形成し、かつレベル間の誘電体層112に複数のコンタクト孔（図示なし）をエッチングする。フォトレジストを除去し、かつ化学気相成長法（CVD）を使用して一面を覆うようにライナー／バリア層116を形成する。次に、一面を覆うように導電材料を形成してコンタクト孔の残りを充填する。化学機械研磨（CMP）を使用してレベル間の誘電体層上に重なる導電材料及びライナバリア層の複数部分をエッチバックするか、又はポリシングバックしてプラグ114及びライナー／バリア層116を形成する。表面が可能な限り閉鎖となるようにCMP処理を使用することが好ましい。エッチバック処理は、陥凹を発生させ、これが次の処理においてトポグラフィー（topography）の発生原因となる恐れがある。トポグラフィーは、強誘電体層に局部的なテクスチャーの劣化を発生させる恐れがあり、これがまたコンデンサ特性の劣化に帰結する恐れがある。

【0056】図2の工程204を参照すると、二層の酸化物拡散バリア層302が任意選択的に形成される。最

初に、CVD（標準的な半導体産業のプロセス）を使用してTiN（好ましくは、約50nm）を堆積し、続いて、好ましくは、Ar及びN₂中で反応性スパッタ堆積によりTiAlN（好ましくは、約20nm）を堆積する。TiAlNターゲットの好ましい組成は、Ti_{0.6}Al_{0.4}であり、堆積処理を、好ましくは、Ar及びN₂（好ましくは、約40/60の比率）中で約350°C（ウェーハの温度）により実行し、かつスパッタ電力を約50nm/分の堆積速度を達成するように設定する。強誘電体コンデンサ誘電体のMOCVD堆積又は強誘電体の酸素アニールのように、酸素を含むプロセス中に、導体に酸素を拡散させることにより、導体（プラグ）114の抵抗率が逆に影響を受けるときは、拡散バリア層302（122）を形成する必要がある。

【0057】次に、工程204において、底部電極材料304（124）を形成する。底部電極材料304は、このコンデンサを形成するために使用される誘電体材料306に重なる1以上からなるものでもよい。この実施例において、層（底部電極材料）304は、好ましくは、30nm未満のIrO_xスパッタ堆積により堆積された約30nmのIrからなり、Ar及びO₂環境中で反応性スパッタ堆積により堆積される。所有者のコスト理由により、同一の堆積チャンバ内でIr及びIrO_xを堆積するのが好ましい。この堆積は、好ましくは、Ar中で約300°Cのウェーハの温度により実行され、かつスパッタ電力をおよそ50nm/分の堆積速度を達成するように設定し、これに、直ちに、Ar+O₂（30/70）のガス環境を変化させることができ、およそ30nm/分の堆積速度を達成するようにスパッタ電力を調整する。代替的な好ましい実施例は、Ir層を含み、これは、好ましくは、厚さ約100nm又は未満、より好ましくは、底部電極としてIrの約50nmである。

【0058】TiNは共用ツールにおいて堆積されること、及びTiAlNはIr又はIrO_xの一堆積チャンバにまとめられた専用ツールにおいて堆積されることが好ましい。更に、Ir又はIrO_xは、所有者のコストを削減するために、同一チャンバ内で堆積されるのが好ましい。TiNがTiAlNの堆積前に大気に曝されるときは、TiAlNの堆積前に、真空、又は不活性ガス及び/又はプラズマ洗浄（約1nmによりTiNを除去する）を実行することが好ましい。

【0059】図3bを参照すると、工程208において、誘電体材料306を形成する。誘電体材料306は、好ましくは、有機金属CVD（MOCVD）を使用して形成された100nm未満（50nmがより好ましい）のPZTからなる。しかしながら、化学溶液堆積（sol-gel又は有機金属分解）のような他の技術も使用することができる。加えて、好ましいZr/Ti組成は、良好な強誘電性スイッチング特性（大きく切り替わる）を有する。

換えられた分極、及び比較的に四角形状のヒステリシス・ループを得るために、約20/80である。代替として、約65/35のZr/Ti組成は、切り換え分極を最小化し、かつコンデンサ特性における均一性のために好ましいものとなり得る。加えて、およそ0.5~1%のドナー・ドーパントによりドナー・ドーピングされ、たるZrTを有することが好ましい。ドナー・ドーパントは、ポイント欠陥濃度を制御するのを支援することにより、PZTの信頼性を改善する。MOCVD処理条件は、好ましくは、600°C未満(550°C未満とするのが更に好ましい)の温度で実行される。PZTの堆積速度は、1.00~2.00 nm/分間となるように設定される。膜組成の再生可能な制御を得るために、MOCVD処理は、液体に維持するように、溶剤と一緒に混合された有機金属の前駆物質の2又は1の混合を使用することもできる。MOCVD反応炉は、1又は2の蒸発器により液体を蒸発させるように設計されると共に、前駆物質が分解又は濃縮するのを防止するように反応器の壁の温度を正確に制御する。Ar又はHeガスは、好ましくは、前駆物質を反応器チャンバ又はシャワー・ヘッドに流すために使用され、そこで、これらは、酸化剤(O₂、N₂O、又はO₂と一緒のH₂Oを推奨)と混合される。

【0060】工程210において、上部電極308(310)(128/130)を形成する。PZTコンデンサ誘電体のときに、好ましい上部電極スタックは、Ar及びO₂中で反応PVDにより堆積されたほぼ20 nmのIrO_x上に、Ar中でPVDにより堆積されたほぼ10 nmのIrからなり、PZTコンデンサ誘電体の頂部に形成される。比較的に低電力、従って低堆積速度(約2.0 nm/分が好ましい)により、50%~80%間のO₂と残りのアルゴンとの混合ガス中で、400°C未満の温度でIrO_xを堆積することが好ましい。更に、Ir又はIrO_xは、所有者のコストを削減するために、同一チャンバ内で堆積されるのが好ましい。

【0061】工程212において、ハードマスク312(132)するように、ハードマスク層を形成し、パターン化し、かつエッチングする。好ましくは、ハードマスクは、次のコンデンサ・スタックのエッチング中に大きくエッチングされない材料からなる。更に、ハードマスク材料が導電性のときは、上部電極への電気的な接続を作成するのを容易にするので、好都合である。ハードマスクは、好ましくは、スパッタ堆積した200 nmのTiAlN(40%Al目標、Ar+N₂(50/50)、400°Cウェーハ温度)からなる。代替として、ハードマスクは、50 nmのTiAlN上に300 nmのSiO₂からなり、このSiO₂はTEOS-PECVDにより堆積される。ハードマスク・スタックの他の実施例は、120 nmのTiAlN上の30 nmのTiAlNであって、この120 nmのTiAlNは20 nmのTiAlO上に形成され、この20 nmのTiAlOは5

0 nmのTiAlN上に形成されている。これらの層の全ては、好ましくは、同一チャンバ内でスパッタ堆積により堆積され、この膜組成は、堆積中にガスの成分を変更することにより、変更される(窒化物についてはAr+N₂(50/50)、金属についてはAr、酸化物についてはAr+O₂(90/10)又はAr+N₂+O₂(85/10/5))。TiAlNは、好ましくは、およそ100 nm/分のTiAlN堆積速度を達成するよう、高電力により、およそ400°Cで堆積される。TiAlNは、これら全ての場合に対して、TiNにより置換されてもよい。

【0062】リソグラフィ・ツールの汚染を防止するためにウェーハの裏面を洗浄することが好ましい。ウェット・エッチング処理は、ウェーハの裏面上に存在する材料(例えば、Si、SiO₂又はSi₃N₄)にある程度依存している。ウェット・エッチングPZTは、強力なフッ酸か、又は(より好ましい)塩素及びフッ素エッチング薬品の混合、例えばH₂O+HF+HCl、又はH₂O+NH₃F+HClが必要なことがある。更に、この化学薬品は、ウェーハの裏面/縁部に存在する恐れのある低レベルのIrも除去する。

【0063】通常のどのようなバーターニング形式を使用してもよいが、フォトレジストが好ましい。バーターニング・マスクを形成した後に、この1マスクにより、スタック全体をエッチングする。従って、このエッチングは、ハードマスク、上部電極、PZT、底部電極及び底部電極拡散バリアをエッチングすることを必要とする。好ましいエッチング・アプローチは、2つある。

【0064】第1のエッチング・アプローチは、一つの高密度プラズマ・エッチング・チャンバーを使用し、同一のチャンバーにおいて下記処理シーケンスを使用してこれら層の全てをエッチングする。各場合において、リモート・プラズマ密度は、最大電力近傍に設定される。ハードマスクは、まず、(フッ素及び塩素を使用する場合に、SiO₂ハードマスクを使用しない限り)、塩素系化学薬品を使用してエッチングされる。TiAlNエッチング・レシピの一例は、約10 mTorrの圧力、及び中位の基板バイアスにより、Cl₂及びN₂(80/20)エッチング液からなる。TiAlO_xがハードマスクの一部であるときは、短い高電力工程は、好ましくは、この層を突破するように付加される。ハードマスクをエッチングした後、約40 mTorrの圧力、及び小基板バイアスで、O₂及びN₂(85/15)を使用して、レジストを除去する。Ir/IrO_x上部電極は、好ましくは、低圧力(約3 mTorr)、高バイアス(約100 nm/分のエッチング速度)で、Cl₂+N₂+O₂(約60/20/20)を使用して、エッチングされる。IrエッチングとTiAlNハードマスク・エッチングとの間で高い選択性を保証するために、酸素を付加する。PZTは、中圧(約10 mTorr

r)、かつ高い基板バイアス（約100 nm/分のエッチング速度）で、塩素及びフッ素を含む反応性化学薬品（例えば、 $\text{Cl}_2 + \text{CF}_4 + \text{N}_2 + \text{O}_2$ (45/15/20/20)）中でエッチングされる。再び、PZTエッチング速度とハードマスクのエッチング速度との間で良好な選択性を保証するために、かつPZTから酸素の損失を最小化するために、酸素を付加する。底部電極は、好ましくは、上部電極と同一のレシピによりエッチングされる。TiAlNの底部拡散バリアは、好ましくは、2工程のレシピによりエッチングされる。エッチング液は、 Cl_2 及び N_2 (80/20) を含む。圧力は、好ましくは、約10 mTorrであり、エッチングは、高い高電力、短時間工程（約30 nm除去）により開始し、低電力エッチング工程が～100%オーバ・エッチング時間により続く。

【0065】第2のエッチング・アプローチは、高温度のエッチング処理を使用し、Ir、IrO_x及びPZTのような低揮発性の種を室温近傍でエッチングする。従って、この処理シーケンスは、以下にリストにより示す。SiO₂ハードマスクのときに、SiO₂は、まず、標準的なSiO₂エッチング化学薬品を使用して専用のSiO₂エッチング・チャンバ（フッ素系化学薬品のみ）においてエッチングされる。次いで、レジストは、スタンダード・アッシング処理（例えば、 $\text{O}_2 + \text{N}_2 + \text{H}_2\text{O} + \text{オブションのCF}_4$ ）を使用して除去される。TiAlN (SiO₂の下層) は、好ましくは、高圧（15～20 mTorr）によることを除き、以上で説明したと同様の化学薬品及び電力を使用し、Irに対する前に、高温のエッチング・チャンバ内でエッチングされる。TiAlNハードマスクのときは、以上で説明した処理条件と同一の処理条件により、室温近傍で、エッチング・チャンバを使用する。同様に、そのチャンバ内、又は専用のチャンバ内でレジストを除去することもできる。Ir/IrO_x上部電極、PZT、IrO_x/Ir底部電極及びTiAlN底部電極拡散バリアは、チャンバ圧力が10～20 mTorr間となることを除き、室温で説明したと同様のエッチング・レシピを使用して、高温でエッチングされる。

【0066】次に、ウェーハは、5分間、タンク内でDI-H₂O、又は希酸（例えば、H₂O+NH₄F+HCl (500:1:1)）のメガソニック洗浄にウェーハを浸し、続いてDI-H₂Oスピン・リンス・ドライにより、洗浄されることが好ましい。代替として、酸（水）スプレー・ツールを使用してもよい。

【0067】次の処理は、サイドウォール拡散バリア314/316 (118/120) 堆積に係る。この層の特徴は、これが誘電体材料からなり、かつ上部電極に接触するように形成されたコンタクトに僅かなずれがあるときは、これがその絶縁拡散バリア層を除き、コンデンサの2電極を短絡させる恐れがあることである。本

発明のこの実施例では、拡散バリアは、酸化アルミニウム層316 (118) 及び窒化ケイ素層314 (120) からなる。他のバリア層を使用することができるが、この層の組み合わせは、最良のバリア特性を提供するように見える一方、コンデンサ・スタック又は後から来る必要なアニール工程に逆に影響しない。好ましいアプローチは、AlO_x (15～50 nm、更に好ましくは、PVDによる30 nm又はMO-CVDによる20 nm) を堆積することである。AlO_xのスパッタ堆積は、好ましくは、純粋なAl目標を使用し、低堆積速度 (15 nm/分未満) により300°Cのウェーハ温度で、Ar+O₂ (92/8) を使用したパルス式直流電源により、実行される。

【0068】強誘電体コンデンサ・エッチング・ツール、ウェット・バス、スピンドル・リング・ドライ、及びサイドウォール拡散ツールは、クロス・コンタミネーションを防止するために、FeRAM処理モジュール用に専用化され、かつ共用されないことが好ましい。FeRAM構造の製作において使用されるだけであり、それ以外の何でもないように、専用の装置でないことが好ましく、かつコンタミネーション・テストは、ツールを検証するために、共用できないエッチング・ツールを除き、全てについて実行されることを推奨する。

【0069】次の誘電体堆積ツールの汚染を防止するために、ウェーハの裏面を洗浄することが好ましい。ウェット・エッチング処理は、ウェーハの裏面に存在する材料（例えば、Si、SiO₂、又はSi₃N₄のときに）にある程度依存している。ウェット・エッチングPZTは、典型的には、強いフッ酸、又はより好ましくは、H₂O+HF+HCl又はH₂O+NH₄F+HClのような塩素及びフッ素のエッチング化学薬品による酸混合を必要とする。この化学薬品は、ウェーハの裏面/縁部に存在する恐れのある低レベルのIrを除去する。

【0070】次に好ましい工程は、SiH₄+N₂の好ましい処理PECVDによる薄いSi₃N₄エッチ・ストップ（約15～50 nm、より好ましくは、20 nm）の堆積である。

【0071】コンデンサ上に堆積可能とされる多くの可能中間層誘電体（ILD）が存在する。FeRAM処理モジュールの目的は、この選択を規制しないことであり、いずれが最良となっても処理フローが残りのデバイス（例えば、ロジック・セクション）を使用できるようにする。しかしながら、PZTが使用されれば、これが（PZT堆積後の）熱履歴を約600°C未満に制限する。そうでないときは、選択が相違することはない。

【0072】ILD堆積後の最大熱履歴が600°C未満であれば、AlO_x堆積後にアニールを実行することが好ましい。（O₂中でRTAにより60秒可能ならば、600～650°C）。

【0073】ILD堆積後に、サンプルがCMPにより

うまく平坦化される。再び、FeRAM処理モジュールの目的は、その決定を規制しないが、いずれが最良となるても処理フローがこのようなロジック部分のように残りのデバイスを使用できるようにする。この選択は、これがビア・エッティング後の、及びビア・エッティング処理そのものによる熱履歴に影響するのであれば、FeRAMプロセス・モジュールに影響する。2つの底部電極メタライゼーション戦略を説明する。2つの選択は、A1メタライゼーションA1を有するメタライゼーションWビアを含み、また第2のものは、低K誘電体（低い熱履歴）を有するCu二重ダマシン処理を含む。

【0074】Wビア及びA1メタライゼーションの例のときに、コンデンサの上のILDは600°Cより大きい熱履歴を許容することができる。

【0075】CMP平坦化の後、リソグラフィを実行してビアをパターン化する。次いで、4工程のエッティング（反射防止膜エッティング、ILDエッティング、 Si_3N_4 エッティング及び AlO_x エッティング）を使用してこれらビアをエッティングする。 AlO_x エッティングを除き、これは、スタンダード・ビアエッティング処理である。好ましい AlO_x エッティング処理は、低圧（～5mTorr）で大きなDCバイアスにより、高密度プラズマを使用する。 AlO_x 及び Si_3N_4 処理は、ウェーハに均一かつ反復可能なエッティングを達成するように調整される。これは、必要とするオーバーエッティング量を最小化する。このエッティングは、ハードマスク312/132の上面で停止し、かつ部分的にハードマスク312/132にのみエッティングすることが重要である。エッティング工程の終点検出は、好ましいことである。ビア・エッティング後、典型的には、溶剤洗浄にDIスピン/リンス・乾燥が続くスタンダード・ビア洗浄処理を使用してウェーハを洗浄する。

【0076】導体132及びライナー138の形成前の工程222において、コンデンサ誘電体へのコンデンサ・スタック処理（例えば、強誘電体材料のエッティング、カプセル封止、及びコンタクトのエッティング）により導入された損傷を除去し、かつこれらの電気的な機能特性を改善するように、本発明のアニールを実行する。このアニールがこの時点で実行されなかつたときは（即ち、PZTスタックがそのサイドウォールを露出させてアニールを実行したときは）、各コンデンサの周辺近傍でPbの損失に帰結する。PZT膜におけるPbの喪失は、小型コンデンサ（面積比に対して大きな周辺を有するコンデンサ）の電気的特性の劣化に帰結する。本発明のアニールは、好ましくは、レベル間誘電体を形成し、かつビア・ホールをパターン化してエッティングした後であつて、導電材料によりビアを充填する前に、実行される。アニールの条件は、Ar、 N_2 又は真空のような不活性環境において、30秒～5分間（より好ましくは、約1～4分間、最も好ましくは、約2分間）、約400～8

00°C（より好ましくは、約500～700°C、最も好ましくは、600°C）である。ILD熱履歴がこれを許容しないときは、RTAにより、可能な限り多くの利用可能な熱履歴を使用してアニールすることである。

【0077】次いで、Ar又はAr+ H_2 を使用してビアのスパッタ洗浄後に、Ti上にTiNをスパッタ堆積することにより、拡散バリア・ライナーを堆積する。

【0078】如何なるツールも専用化しないことが好ましい。しかし、コンタミネーション・テストがこれらのツールにより処理された清浄なウェーハ上のFeRAM汚染を示したときは、汚染されたコンタクト・エッティング後の全てのツールを専用にする必要があり、FeRAM汚染を除去するためのウェーハ裏面洗浄は、処理フローにおけるこの時点で実行される必要がある。

【0079】使用されるのであれば、CVD-Wを堆積してビアを充填し、かつCMP又はエッチバックを使用して上面からWを除去する。次いで、A1メタライゼーションを堆積する。これは、好ましくは、Ti上に位置するTiNであつて、このTiN上有るA1（Cuドーピングされた）上にTiNのスタックからなる。次いで、A1をパターン化し、かつエッティングする。継続する全ての処理は、FeRAM処理モジュールによって影響されない。一般的に、このアニールは500°C未満であるので、特に、メタライゼーション処理工程において、又は処理フローの終りで、フォーミング・ガスを使用するときは、好ましいものとなる。

【0080】低K誘電体（低熱履歴）を有するCu二重ダマシンの特殊例において、450°Cの最大熱履歴は、コンデンサの上にILDを堆積した後が好ましい。前述したようにアニールを実行することは、コンデンサ・エッティング損傷を除去するために、サイドウォールのバリア堆積後が好ましい。

【0081】CMP後に、CVDによりSiCONの薄いエッチ・ストップ（15nm）を堆積し、低Kの低熱履歴IMDの堆積が続き、SiCONの他の薄い（15nm）エッチ・ストップの堆積が続く。次いで、リソグラフィを使用してビアをパターン化する。次いで、ビア・エッティングは、下記の層、即ち反射防止膜（存在する場合）、SiCON、IMD、SiCON、ILD、 Si_3N_4 、次に AlO_x を通じてエッティングすべきである。 Si_3N_4 及び AlO_x の詳細は、既に説明した。次に、レジストを除去し、（好ましくは、ウェット処理を使用して）ビアを洗浄する。次のリソグラフィを使用してメタル特徴をパターン化する。次いで、メタル・エッティングは、好ましくは、反射防止膜（存在する場合）SiCON及びIMDのみをエッティングし、これによって下のSiCON層上で停止する。次いで、レジストを除去し、メタル及びビアを洗浄する。ビア・エッティング洗浄後に、又は N_2 若しくは好ましい不活性ガス中でメタル・エッティング洗浄後に、利用可能な最大熱履歴により

アニールを実行することが好ましい。次の工程は、プラズマ洗浄からなるメタル堆積であり、 $Ta\text{N}_x$ シード層、 Cu シード層の堆積、及び Cu の電気メッキ又は堆積が続き、ピアを充填する。CMPによりIMDの上から Cu 及び TaN を除去する。

【0082】如何なるツールも専用化しないことが好ましい。しかし、コンタミネーション・テストがこれらのツールにより処理された清浄なウェーハ上のFeRAM汚染を示したときは、汚染されたコンタクト・エッチング後の全てのツールを専用にする必要があり、FeRAM汚染を除去するためのウェーハ裏面洗浄は、処理フローにおけるこの時点で実行される必要がある。

【0083】ハードマスク形成の実施例ハードマスク312は、好ましくは、多層からなる。好ましくは、ハードマスク312は、3つの層、即ち上面層、中間層及び底面層からなる。上面層は、好ましくは、ハードマスクの上面層がこれらの層のエッチングに対してハードマスクとして作用するように、上部電極310／308、誘電体材料306及び底部電極材料304のエッチングに耐える材料からなる。ハードマスクの中間層は、好ましくは、拡散バリア層302のエッチングに耐える材料からなり、従ってハードマスクが完全にエッチングされていないときは、拡散バリア層302のエッチング中に、拡散バリア層302及びハードマスクの上面層が拡散バリア層302のエッチング中にハードマスクとして作用する。ハードマスクの上面層及び中間層は、拡散バリア層302、電極材料304、306、上部電極308及び310のパターン化及びエッチング中に、完全に除去可能、又は不可能となる。しかしながら、ハードマスクの底面層は、好ましくは、コンデンサ・スタックを形成するためのエッチング後に、ある程度、そのまま残る。ハードマスクの底面層は、好ましくは、上部電極に対して付加的な水素バリアとして作用し、後続のサイドウォール拡散バリア・エッチバック処理及びコンタクト形成処理中にエッチング・ストップ層として作用し、クロス・コンタミネーションを最小化するように少なくとも部分的に上部電極をカフセル封止し、かつミスマーリメントが存在するときに、後続のコンタクト・エッチング中に強誘電性材料を暴露させる危険を減少させる材料からなる。ハードマスクの底面層は、好ましくは、 $Ti\text{AlN}$ からなり、厚さが約10～50nm、より好ましくは、約20～75nm、最も好ましくは、約50nm程度である。ハードマスクの中間層は、 $Ti\text{AlO}_x$ 、 $Ti\text{AlON}$ 、 SiO_2 、 SiN 、 AlO_x 、 Ir 、 IrO_x 、 Pt 又はこれらの任意のスタック若しくは組み合わせからなり、かつその厚さは、拡散バリア層302の厚さ及び組成と、拡散バリア層302に使用されたエッチング液用に拡散バリア層302と比較される中間層間のエッチング選択性とにより決定される。その厚さは、好ましくは、約10～50nm、より好ましくは、約20

～40nm、最も好ましくは、約30nm程度である。ハードマスクの上面層は、 $Ti\text{AlN}$ 、 AlN 、 SiO_2 、 SiN 又はこれらの任意のスタック若しくは組み合わせからなり、かつ10～400nm、より好ましくは、約50～300nm、最も好ましくは、約200nm程度の厚さである。加えて、パターナリング・フォトレジスト層がハードマスク・スタック開口エッチングに十分耐える厚さがないときは、ハードマスクの上面層、及びBARC層の下（形成されているとき）に、 Al_2O_3 のようなエッチングが困難な材料の薄い層を形成してもよい。

【0084】無水素コンタクトエッチングの実施例要するに、本発明のこの実施例は、強誘電体コンデンサの上部電極（図1の層128及び130）をドライブ線（図1のドライブ線140）に接続するため、及び図1のレベル169導体又は半導体を図1のレベル170メタライゼーションに接続するために使用されるコンタクト開口をエッチングするための新しいエッチング化学薬品及び一組の処理条件である。本発明のこの実施例において、 AlO_x 及び／又は AlN は、拡散バリアを形成し、かつコンデンサ・スタック上にサイドウォールを形成するように任意選択的にエッチバック可能とされる3層のうちの2層として堆積される。これらのうちの他の層は、好ましくは、窒化ケイ素からなる。本発明のこの実施例の方法及びエッチング液は、上部電極に対するコンタクトをエッチング（即ち、窒化ケイ素層 AlO_x 及び／又は AlN 層を通過してエッチング）するための無水素エッチング液に関係する。加えて、このエッチング液及びエッチング処理は、本発明のコンタクト・エッチング後に、この層の少なくとも1部がそのまま残るよう、 $Ti\text{AlN}$ に対して明確に選択的でなければならない。特に、本発明のこの実施例の（拡散バリア層及びBARC層をエッチングして相互接続を形成するための）エッチング液は、 CF_4 、 C_2F_6 、 C_4F_8 、 C_6F_8 、 C_xF_y 、 NF_3 又はこれらの任意の組み合わせからなり、かつ好ましくは、高密度プラズマにかんれんされる。エッチング液は、付加的には、 Ar 、 N_2 、 O_2 、 O_3 、 CO 、 N_2O 又はこれらの任意の組み合わせからなる。

【0085】要するに、本発明のこの実施例は、下記のうちいくつか、又は全て、即ち、ハードマスク（好ましくは、 $Ti\text{AlN}$ からなる）エッチング選択性に好ましいコンデンサ誘電体（好ましくは、 PZT ）を得るようエッチング液を最適化すること、コンデンサ誘電体層のエッチング速度を増加させようにより高いバイアス電力を使用すること、前記コンデンサ誘電体のエッチング速度を増加するよう前記エッチング液を塩素を含む種を使用すること、前記コンデンサのエッチング速度を低下させ得る前記ハードマスクのエッチング速度を減少させるよう前記エッチング液に酸素を含む種を使用すること（ただし、これはコンデンサ誘電体層のエッキン

グ速度を低下させることもあり得る）、及びコンデンサ誘電体のエッチング速度を増加させるようにフッ素を含む種を使用することに関連したコンデンサ誘電体をエッチングするエッティング液、及びエッティング処理を提供することに関する。本発明の他の実施例において、エッティング液中、又はその代替中に塩素を含む種（好ましくは、 Cl_2 ）に関連して下記のうちの1以上のガス、即ち、 BCl_3 、 NCl_3 、 CCl_4 、 C_xCl_y 、 SiCl_4 、又はこれらの任意の組み合わせを使用することができる。同様に、エッティング液中、又はその代替中に酸素を含む種（好ましくは、 O_2 ）に関連して下記のうちの1以上のガス、即ち、 O_3 、 N_2O 、 CO 、 CO_2 、又はこれらの任意の組み合わせのを使用することができる。加えて、エッティング液中、又はその代替中にフッ素を含む種（好ましくは、 CF_4 ）に関連して下記のうちの1以上のガス、即ち、 NF_3 、 C_xF_y 、又はこれらの任意の組み合わせのを使用することができる。

【0086】標準的な半導体チップ上に安価な埋め込式集積化FeRAMデバイスのために、可能な限り標準的な半導体プロセス及び構造を利用する必要がある。現在、下層のソース、ドレイン及びゲート構造に対するコンタクトは、タンクステン又はタンクステン・シリサイドのプラグ114のように、プラグを使用して形成されている。図4に示すように、タンクステン・プラグによる共通した問題は、CVDタンクステン処理中にタンクステンに形成されるボイド404（ビアにおけるシーム及びボイドを以下、まとめて「ボイド」と呼ぶことにする。）が存在することである。加えて、余分なタンクステンの除去中にタンクステン・プラグ材料114の表面に、凹所406が形成される。この凹所は非平坦を発生する。平坦な表面は、いくつかの理由からFeRAMコンデンサ製作にとって望ましい。第1に、コンデンサ・スタックを構成している粒子サイズ、結晶組織、膜の厚さ及び組成は、平坦な面上に形成されたときは、より均一になる。第2に、コンデンサの下層の構造のトポグラフィーにおける大きなばらつきは、導電性の拡散バリア及び底部電極が効果的なバリアとして動作するのを停止させる原因となり得る。これは、酸素をタンクステンに拡散させるためにタンクステン・プラグの劣化に帰結

する。タンクステンの酸化は、急速に発生し、比抵抗を増加させる結果となり、タンクステン・プラグの容積を劇的に増加させる。

【0087】要するに、本発明の実施例は、標準的な半導体デバイスの製作に使用される1以上の導電材料、又は強誘電体メモリ・デバイスの製作に使用される若しくは使用可能とされる材料を利用して、タンクステンにおけるボイド、及びタンクステン・プラグの表面にある凹所を充填する。本発明の説明図5、図6a～図6c、図7a～図7d、図8a～図8d及び図9a～図9eの実施例を参照して行う。

【0088】本発明の一実施例は、図1の導電性バリア層122として示す導電性拡散バリア材料302の厚い層を形成することに関する。図5には、3層、層502、504及び506からなる導電性バリア層508が示されている。しかしながら、導電性バリア層508は、1以上の材料層からなるものでもよい。導電性バリア層508は、好ましくは、下記、即ち、 TiAlN 、 TiN 、 TaSiN 、 TiSiN 、 TaN 、 HfN 、 ZrN 、 HfAlN 、 CrN 、 TaAlN 、 CrAlN 、又は以上で挙げた他の任意の拡散バリア材料の1以上の層からなる。これらのバリア層の関する好ましい堆積技術は、 $\text{Ar} + \text{N}_2$ 、又は $\text{Ar} + \text{NH}_3$ を使用して反応性スパッタ堆積である。 Ar は、コスト及びパフォーマンスに基づいてスパッタ堆積に使用される標準的な不活性ガスであることに注意すべきである。このアプリケーションに関して Ar の代わりに、他の不活性ガスを使用することも可能である。使用される可能性のある他の堆積技術は、CVD又はプラズマ・エンハンスドCVDを含む。導電性バリア層508は1材料、好ましくは、 Al を30%～60%有する TiAlN のみからなるときは、導電性バリア層508の厚さは、ボイド402の幅wの約2倍又は2倍より僅かに小さい必要がある。タンクステンのボイド402を覆うために必要とされる導電性バリア層508の厚さは、プラグの直径により計る。表2は、種々のシーム幅に関する好ましいある程度の厚さを示す。

【0089】

【表2】

表2

プラグの直径	タンクステン・ボイドの予測最大幅	必要な予測TiAlN厚さ (nm)
0.24	60	120
0.22	55	110
0.18	45	90
0.13	33	65
0.10	25	50

【0090】導電性バリア層508の形成後に、ボイド402上にカップ（図示なし）を形成するためにこれを

研磨することができる。しかしながら、図2の処理フローを使用することができ、導電性バリア層508をその

まま残し、導電性バリア層508を残りのコンデンサ・スタックと共にパターン化し、かつエッチングする。換言すれば、導電性バリア層508は、図3a～図3cに示す層302のように処理される。

【0091】図6a～図6cに示す他の実施例において、ボイド402を充填するために(1以上の導電材料からなるものでよい)層602を使用し、一方導電性のバリア層として層604を使用する。この実施例において、層602は、好ましくは、10～100nm、より好ましくは、約20～40nmのCVD TiNからなる。しかしながら、層602は、Ti、Ta、Ta_xN、TiAlN、TaSiN、TiSiN、HfN、ZrN、HfAlN、CrN、TaAlN、CrAlN、WSi_xN_y、TaSi_x、TiSi_x、Ir、Pt、Ru、Pd、Rd、又は他の任意の導電材料からなるものでよく、またPVD若しくはCVDを使用して製作されてもよい。加えて、層602がTiNからなるときは、好ましくは、産業スタンダードCVD TiN処理を使用して堆積される。更に、Tiを堆積し、次いでN₂又はNH₃プラズマを使用してタンタル層を窒化することにより、又は窒素を含む雰囲気中で急速熱アーニルにより製作される。層602がCVD TiAlNからなるときは、CVD TiAlNがボイドを充填することになると共に、後続のアーニル及び/又は強誘電体材料堆積において使用される酸素及び鉛からプラグ114の材料を保護するために十分なバリア特性を有するので、バリア層604を形成する必要性はない。これは、層602が好都合なバリア特性(例えば、酸素及び/又は鉛拡散に対して耐性)を有する他の材料からなっている場合もそうである。

【0092】バリア層604は、好ましくは、CVD又はPVDにより、層602上に堆積される。バリア層604は、好ましくは、厚さ10～100nm、より好ましくは、厚さ約10～50nm、最も好ましくは、厚さ約20～30nm程度であり、好ましくは、TiAlN、TaSiN、ZrN、HfN、又は図3a～図3cの層302若しくは図1の導電性バリア層122を形成するために適当な材料からなる。

【0093】層602及びバリア層604の組み合わせは、好ましくは、図2の工程214においてエッチングされる。しかしながら、層602及びバリア層604は、CMPを使用して研磨されてもよい。

【0094】図7a～図7dの実施例に戻ると、ウェーハ全体上に導電材料702を堆積する。層702は、好ましくは、図6a～図6cの層602と同一の材料からなり、かつ層602と同様にして堆積される。しかしながら、層702は、好ましくは、ボイド402及び凹所406を充填することになるので、層602より少しづかに厚さがある。従って、導電材料702は、好ましくは、厚さ10～150nm、より好ましくは、厚さ約1

0～75nm、最も好ましくは、厚さ約50～75nm程度である。導電材料702は、エッチング処理214中に残りのコンデンサ・スタックによりパターン化され、かつエッチングされてもよい。しかしながら、導電性バリア層706の形成前に、導電材料702を平坦化し、若しくはエッチバックすることが好ましい。研磨処理は、好ましくは、誘電体層112に重なる全ての層導電材料702を除去するように、しかしコンタクトの領域に多量のディッシングを発生させる程ではなく、実行される。この研磨処理は、図7cの領域704を形成する。この研磨工程後に、洗浄工程を実行することができる。次に、図2に示す処理は、図3a～図3cの層302及び図1の導電性バリア層122に等価な層706の形成が続くことになる。層706は、好ましくは、5～75nm、より好ましくは、約10～40nm、最も好ましくは、20nmと30nmとの間で十分な厚さとなり、層706がプラグ若しくは領域704に酸素及び/又は鉛を取り込むのを防止するバリアとして作用する。

【0095】本発明の他の実施例を図8a～図8dに示す。シリコンを含む導電材料802の薄い層を形成する。シリコン層802は、好ましくは、ボイド402を完全に充填するのに十分な厚さがあり、産業スタンダードCVD技術を使用して堆積される。次に、タンクステン・プラグに重なるシリコン層802の部分に、タンクステンの導電性プラグを形成するときは、サイド領域808、好ましくは、タンクステン・シリサイドを作成するために、ウェーハに熱処理を行う。熱処理は、好ましくは、窒素を含むプラズマ、好ましくは、プラズマに関連させたN₂又はNH₃において、200と900°Cとの間の温度、より好ましくは、約250～800°C、最も好ましくは、400～600°Cで達成される。しかしながら、プラズマ処理のために低い温度を使用することもできる。代替として、温度が750°Cを超えるときは、プラズマを回避することができる。その結果の構造は、WSi_xN_yシリコン領域808、シリコン領域804、及び窒化ケイ素又は酸窒化シリコン領域806からなる。しかしながら、この処理において、シリコン領域804の一部はシリサイドであってもよい。厚さ及び材料がバリア層604及び層706と等価なバリア層810が形成される。

【0096】図9a～図9eに示す本発明の実施例を参照すると、誘電体層112の下へ、好ましくは、約20～100nm、より好ましくは、約50～100nm、タンクステンのプラグ114をエッチバックする。このエッチバックの結果は、図9bに凹所901として示されている。即ち、好ましくは、SF₆反応性エッチングのように、乾燥処理を使用して実行される。エッチング液は、上面からと同時に、タンクステンのボイド402の底部からも材料を除去する傾向があるので、ウェット・エッチング処理のみで凹所901を形成することは

困難である。これは、所望のように誘電体層112の下へWプラグを選択的に凹ませるよりもタングステンのプラグ114全体を除去することがある。SF₆エッチバック処理には、ピア・ホールのサイドウォールに残っている恐れのある残留タングステンを除去するためにライト・ウェット・エッチング工程を続けてよい。これは、好ましくは、H₂O₂とH₂Oとの希釈混合物、又は希釈された他のスタンダード・タングステン・メタル・エッチング液により達成される。

【0097】次に、CVD又はPVDを使用して、導電性バリア材料902、好ましくは、TiAlN、TiSiN、TaN、TiN、CrN、CrAlN、TaSiN、ZrN、HfN、又は以上で列挙した他の導電性バリア材料を堆積する。導電性バリア材料902は、好ましくは、TiAlNからなり、Wプラグ・エッチバック後に残る凹所901の深さより大きい、又は等しい厚さを有する。この層は、図1の導電性バリア層122及び図3a～図3cの層302と同一機能の作用をする。

【0098】図9bに示すように、次に、導電性バリア層122を堆積し、バリア構造904が凹所901を充填し続けるように導電性バリア材料902を平坦化する。ブランケット・エッチバック処理、好ましくは、CMP処理を使用して平坦化を実行する。バリア構造904は、酸化及び／又は鉛拡散から下層のタングステンのプラグ114を適切に保護するために十分な、好ましくは、約20～30nm以上の厚さを有する必要がある。バリア構造904の上面のみを暴露し、誘電体層112によりバリア構造904のサイドウォールを保護しているのが図9dから解る。平坦化に統いて、工程206に説明されているように、底部電極材料906を堆積する。好ましくは、底部電極材料は、イリジウム及び／又は酸化イリジウムからなる。

【0099】先行バリア形成洗浄処理CMP処理後、レベル間の誘電体層112（好ましくは、2酸化シリコンからなる）に対する導電性バリア層（図1の導電性バリア層122、図3a～図3cの層302、図7dの層706、図8dのバリア層810、図9eの底部電極材料906として示す）の接着は、所望したように強力になり得ない。加えて、タングステン・プラグ面は、CMP処理後に十分に清浄でない恐れがある。従って、プラグに対するバリア層の電気接続が有する潜在的な問題に加えて、下層の構造に接着した導電性バリア層にも問題が存在し得る。本発明のこの実施例において、洗浄処理は、導電性バリア層の形成前に実行される。

【0100】本発明の一実施例において、不活性雰囲気及び／又は還元ガス雰囲気を含む雰囲気を使用して、高温度熱アニールを実行する。しかしながら、この熱アニールは、真空中で実行することができる。不活性雰囲気は、好ましくは、Ar又はN₂からなり、還元ガスは、Ar及びH₂、N₂及びH₂、CH₄、又はH₂からなる。

アニール温度は、約500～1000°C、より好ましくは、約600～750°Cである。このアニールは、レベル間の誘電体層112、及びタングステン・プラグ114の表面から水蒸気及び炭化水素が脱離するのを助け、接着の改善及びコンタクト抵抗の低下に帰結する。N₂及びH₂（一般的に、形成ガスとして知られている）のような還元ガスの使用は、Wコンタクト・プラグ114の表面に存在する恐れのある酸化タングステン（W_{O_x}）層をより効果的に減少させ、更に低いコンタクト抵抗に帰結する。N₂雰囲気におけるアニールは、タングステン・コンタクト・プラグの表面に導電性の窒化タングステン（WN）を形成することができる。いくつかの場合では、WN面の層が接着及び接触抵抗の更なる改善が望まれている。

【0101】他の実施例において、レベル間の誘電体及びタングステン面は、不活性ガス及び／又は還元ガス雰囲気に関連したプラズマを使用して、洗浄される。不活性ガスは、好ましくは、Ar又はN₂からなり、還元ガスは、Ar及びH₂、N₂及びH₂、CH₄、又はH₂からなる。これらの面の洗浄に加えて、プラズマは、レベル間の誘電体及びタングステン・プラグの表面における接着の荒れを付加的に改善する。加えて、レベル間の誘電体面を還元して、強力な化学的接着を形成可能にする。更に、N₂中のプラズマ・アニールは、タングステン・コンタクト・プラグの表面に導電性の窒化タングステン層を形成する。以上で説明したように、これは、接着及び接触抵抗に都合のよい作用をする。

【0102】他の実施例において、熱アニール洗浄工程及びプラズマ支援の洗浄工程を実行する。以上で説明した種々の処理シーケンス及びガス雰囲気組み合わせを使用することにより、これらの工程を実行することができる。

【0103】更なる実施例において、まず、低温酸素プラズマ・アニール（好ましくは、400°C未満で）を実行し、レベル間の誘電体層112から炭化水素を除去することができる。次いで、この処理には、以上で述べたように、不活性（好ましくは、Ar又はN₂）、又は還元ガス雰囲気（好ましくは、Ar及びH₂、N₂及びH₂、CH₄、又はH₂）における高温アニールが続く。代替として、第1の低温酸素プラズマ処理工程には、以上で述べたように、不活性又は還元ガス雰囲気におけるプラズマ処理が続く。

【0104】ここでは、本発明の特定的な実施例を説明したが、これらは、本発明の範囲を限定することを意図するものではない。本発明の多くの実施例は、明細書の方法論に鑑みて当該技術分野に習熟する者に明らかとなる。本発明の範囲は、添付する請求の範囲によってのみ限定される。

【0105】以上の説明に関して更に以下の項を開示する

【0106】(1) 誘電体層上に導電性バリア層を形成する方法において、上面と底面と前記上面から前記裏面に延伸する開口とを有する誘電体層であって、その誘電体層の上面とほぼ同一平面の上面を有する導電性プラグを含む前記誘電体層を設ける工程と、アルゴン、窒素、水素、CH₄、及びこれらの任意の組み合わせからなるグループから選択されたガスに前記誘電体層の前記上面と前記導電性プラグの前記上面とをさらし、前記ガスは高温の雰囲気又はプラズマ中に含まれる工程と、前記高温の雰囲気又は前記プラズマ中に含まれた前記ガスに前記誘電体層の前記上面と前記導電性プラグの前記上面とをさらす前記工程後に、前記誘電体層の前記上面及び前記導電性プラグの前記上面に前記導電性バリア層を形成する工程とを含む方法。

【0107】(2) 前記高温は、約500～1000°Cである第1項記載の方法。

【0108】(3) 前記高温は、約600～750°Cである第1項記載の方法。

【0109】(4) 前記導電性バリア層は、TiAlN、TiSiN、Ta_xN、Ti_xN、CrN、CrAlN、TaSiN、ZrN、HfN、又はそれらの任意の組み合わせ若しくはスタックからなるグループから選択された導体からなる第1項記載の方法。

【0110】(5) 前記導電性プラグは、タングステンからなる第1項記載の方法。

【0111】(6) 前記ガスは、窒素及び水素からなる第1項記載の方法。

【0112】(7) 前記ガスは、アルゴン及び水素からなる第1項記載の方法。

【0113】(8) 前記高温の雰囲気又は前記プラズマ中に含まれた前記ガスに前記誘電体層の前記上面と前記導電性プラグの前記上面とをさらす前記工程は、前記タングステン・プラグ上に形成されたあらゆる酸化物を除去する第5項記載の方法。

【0114】(9) 本発明の一実施例は、誘電体層上に導電性バリア層を形成する方法であって、前記方法は、上面と底面と前記上面から前記裏面に延伸する開口とを有する誘電体層(図7dの112)であって、その誘電体層の上面とほぼ同一平面の上面を有する導電性プラグ(図7dの704)を含む前記誘電体層を設ける工程と、アルゴン、窒素、水素、CH₄、及びこれらの任意の組み合わせからなるグループから選択されたガスに前記誘電体層の前記上面と前記導電性プラグの前記上面とをさらし、前記ガスは高温の雰囲気又はプラズマ中に含まれる工程と、前記高温の雰囲気又は前記プラズマ中に含まれた前記ガスに前記誘電体層の前記上面と前記導電性プラグの前記上面とをさらす前記工程後に、前記誘電体層の前記上面及び前記導電性プラグの前記上面に前記導電性バリア層を形成する工程とを含む。

記導電性バリア層を形成する工程とを含む。

【0115】関連の特許／特許出願に対する相互参照表以下の共通に譲受けた特許出願は、ここでは、引用により繰り込まれる。

特許番号	出願日	TI ケース番号
60/171,759	12/22/1999	TI-29966
60/171,754	12/22/1999	TI-29968
60/171,794	12/22/1999	TI-29969
09/702,985	10/31/2000	TI-29970
60/171,755	12/22/1999	TI-29972
60/171,711	12/22/1999	TI-30137
09/392,988	09/09/1999	TI-26586
09/105,738	06/26/1998	TI-25297
90/238,211	01/27/1999	TI-26778

【図面の簡単な説明】

【図1】本発明の一実施例の方法を使用して製作された部分製作デバイスの横断面図。

【図2】本発明の一実施例のプロセス・フローを示す流れ図。

【図3】図2の方法を使用して製作された部分製作の強誘電性メモリデバイスの横断面図。

【図4】導電性コンタクトによる問題を示す部分製作デバイスの一部の横断面図。

【図5】本発明の一実施例の改良コンタクトを示す部分製作デバイスの一部の横断面図。

【図6】本発明の他の実施例の改良コンタクトを示す部分製作デバイスの一部の横断面図。

【図7】本発明の他の実施例の改良コンタクトを示す部分製作デバイスの一部の横断面図。

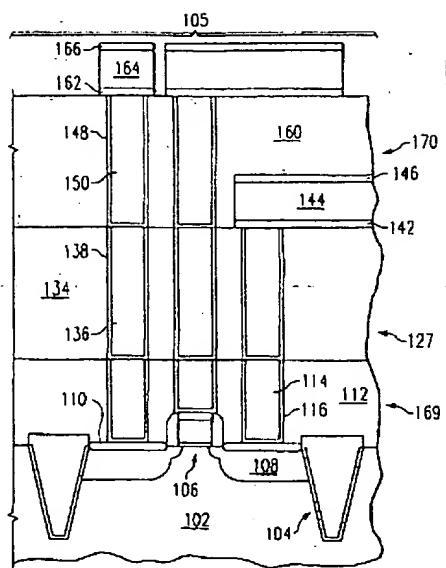
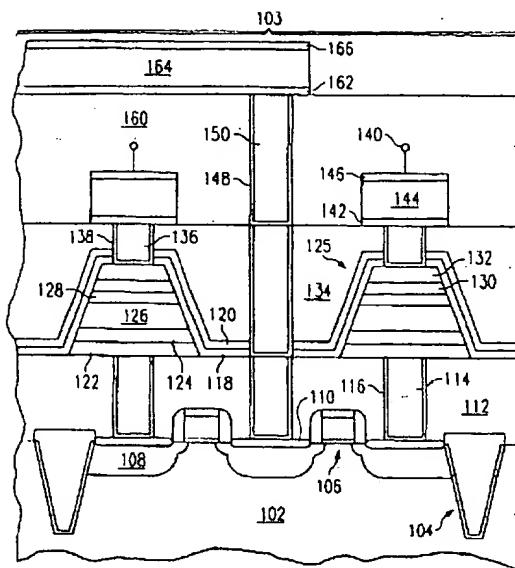
【図8】本発明の他の実施例の改良コンタクトを示す部分製作デバイスの一部の横断面図。

【図9】本発明の他の実施例の改良コンタクトを示す部分製作デバイスの一部の横断面図。

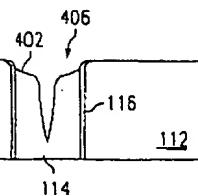
【符号の説明】

103	メモリ・デバイス
105	デバイス
112、134、160	誘電体層
116	ライナー／バリア層
114	プラグ
122、508	導電性バリア層
124	底部電極
128、130、706	層
144	導体
308、310	上部電極
402	ボイド
406	凹所
702	導電材料
704	領域

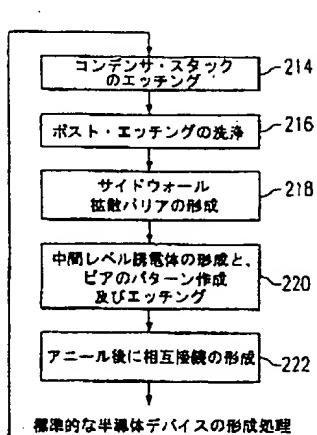
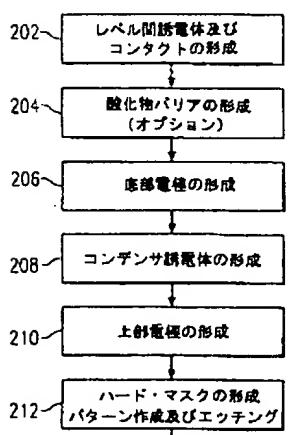
【図1】



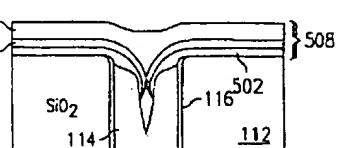
【図4】



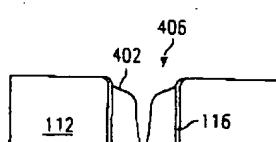
【図2】



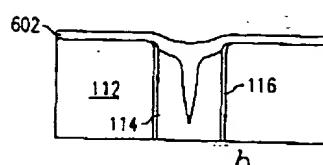
【図5】



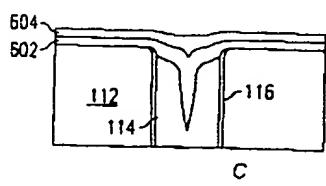
【図6】



a

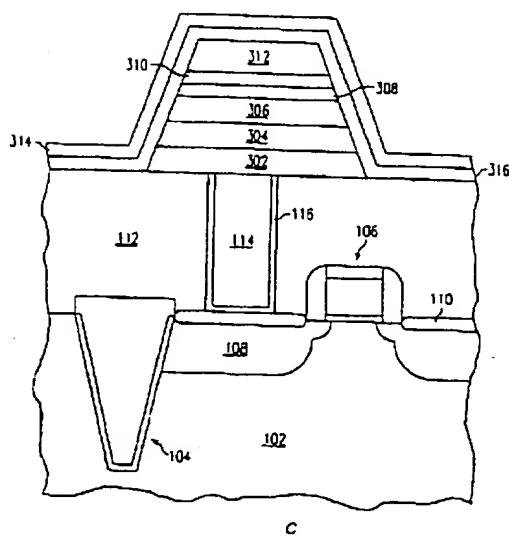
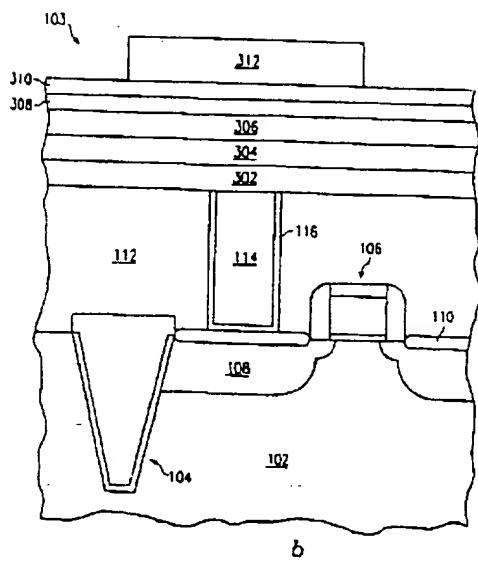
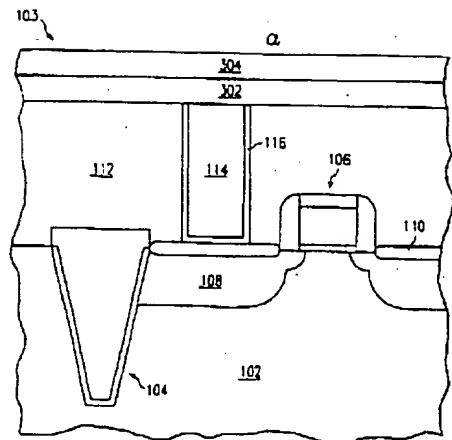


b

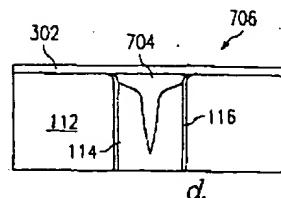
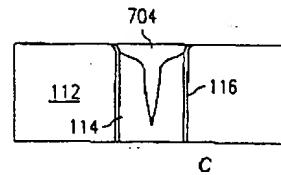
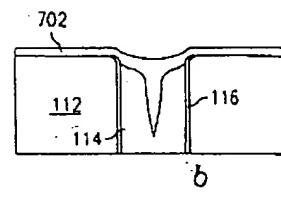
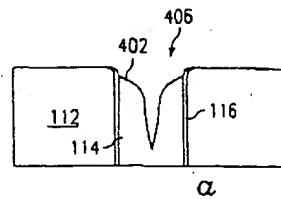


c

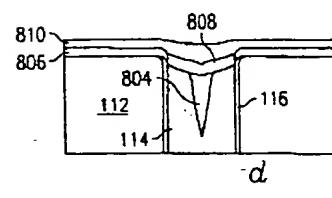
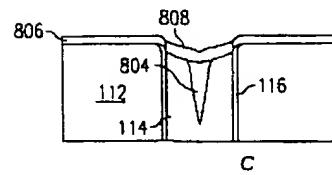
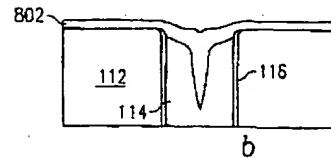
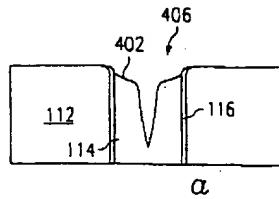
【図3】



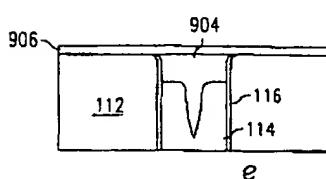
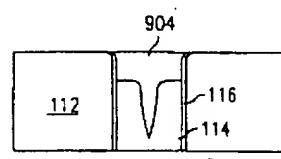
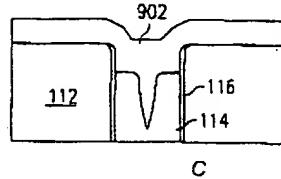
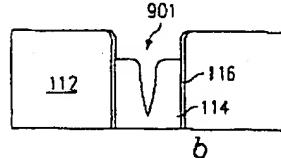
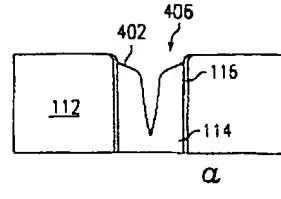
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 スチーブン アール、ギルバート
アメリカ合衆国 カリフォルニア、サンフ
ランシスコ、フレデリック ストリート
116、ナンバー 33

(72)発明者 スコット アール、サマーフェルト
アメリカ合衆国 カリフォルニア、クバー
チノ、パロ ビスタ ロード 10394

(72)発明者 ルイギ コロンボ
アメリカ合衆国 テキサス、ダラス、イエ
ロウ ロック トレイル 6144